

DOI: 10.11830/ISSN.1000-5013.201608011



高速低功耗 CMOS 动态锁存 比较器的设计

李靖坤^{1,2}, 杨骁^{1,2}, 陈国晏^{1,2}, 娄付军^{1,2}, 邱伟彬^{1,2}

(1. 华侨大学 信息科学与工程学院, 福建 厦门 361021;
2. 厦门市 ASIC 与系统重点实验室, 福建 厦门 361008)

摘要: 提出一种高速低功耗动态锁存比较器, 电路包含预放大器、锁存比较器和 SR 锁存器 3 部分. 采用一种新的锁存比较器复位电路, 该电路仅由一个 P 沟道金属氧化物半导体(PMOS)管构成, 实现电荷的再利用, 减小了延迟, 降低了功耗. SR 锁存器输入端口的寄生电容为锁存比较器的负载电容, 对 SR 锁存器的输入端口进行改进, 避免由于锁存比较器的负载电容失配导致的输入失调电压偏移的问题. 电路采用 TSMC 0.18 μm 互补金属氧化物半导体(CMOS)工艺实现. 结果表明: 电源电压为 1.8 V, 时钟频率为 1 GHz 时, 比较器精度达 0.3 mV; 最大输入失调电压为 8 mV, 功耗为 0.2 mW; 该比较器具有电路简单易实现、功耗低的特点.

关键词: 动态锁存比较器; 互补金属氧化物半导体; 高速低功耗; 失调电压

中图分类号: TN 432 **文献标志码:** A **文章编号:** 1000-5013(2018)04-0618-05

Design of High-Speed Low-Power CMOS Dynamic Latched Comparator

LI Jingkun^{1,2}, YANG Xiao^{1,2}, CHEN Guoyan^{1,2},
LOU Fujun^{1,2}, QIU Weibin^{1,2}

(1. College of Information Science and Engineering, Huaqiao University, Xiamen 361021, China;
2. Key Laboratory of ASIC and System of Xiamen, Xiamen 361008, China)

Abstract: A high-speed low-power dynamic latched comparator including a pre-amplifier, a latched comparator and a SR-latch is presented. A novel reset circuit that only has one PMOS transistor is adopted for the latched comparator, which can realize the electric charge reusing. As a result, the delay and power consumption are reduced. The parasitic capacitance of input transistors of the SR-latch acts as the load capacitance of the latched comparator. An improved method for the SR-latch is adopted to avoid shifting of the input offset voltage caused by the load capacitance mismatch of the latched comparator. The comparator is implemented with TSMC 0.18 μm complementary metal-oxide-semiconductor (CMOS) technology. Simulation results show that a sensitivity of 0.3 mV and a maximum input offset of 8 mV are achieved with the operating frequency of 1 GHz, and the power consumption is 0.2 mW with 1.8 V supply. The dynamic latched comparator is concise and simple to implement, and has features of low power.

Keywords: dynamic latched comparator; complementary metal-oxide-semiconductor; high-speed low-power; offset voltage

收稿日期: 2016-08-08

通信作者: 杨骁(1978-), 男, 讲师, 博士, 主要从事模拟集成电路设计的研究. E-mail: xiaoyanghqu@hqu.edu.cn.

基金项目: 福建省科技计划重点项目(2013H0029); 福建省泉州市科技计划项目(2013Z33); 华侨大学研究生科研创新能力培育计划资助项目(1511301027)

随着现代通信和信号处理技术的广泛应用, 高速低功耗的电子设备成为市场的主流. 比较器作为模数转换器、数据接收器等系统不可缺少的模块, 对其系统的性能指标有着重要的影响^[1]. 常见的比较器有静态锁存比较器^[2-3]和动态锁存比较器^[4-8]. 其中, 静态锁存比较器无论是在复位阶段还是再生阶段都存在静态电流, 速度较慢、功耗较大^[3]. 动态锁存比较器采用一对背靠背交叉耦合的反相器构成正反馈, 使小的差分输入信号迅速放大到满摆幅的数字信号输出, 具有速度快、功耗低、高输入阻抗、满输出摆幅等优点, 在高速电路中得到了广泛地应用^[6]. 然而, 传统动态锁存比较器存在失调电压高、回踢噪声大的缺点. 在锁存比较器之前, 增加一级预放大器可以减小失调电压、回踢噪声的影响. 本文在传统动态锁存比较器的基础上, 设计一种高速低功耗互补金属氧化物半导体(CMOS)动态锁存比较器.

1 比较器电路分析与设计

在文献[5]的基础上提出的预放大器和锁存比较器电路, 如图 1 所示. 用 P 沟道金属氧化物半导体(PMOS)管 MP5 替代原来的复位管 MN8, MN9(虚线所示), 实现电荷再利用, 减小延迟时间并降低功耗. 图 1 中: MN1~MN3 及 MP1, MP2 构成预放大器; MN4~MN7 及 MP3~MP7 构成锁存比较器; MP5 为复位管; 时钟(CLK)为低电平时, MP5 导通, 使 M, N 两点的电压相等, 避免 M, N 两点残余电荷不相等, 从而影响比较器的精度.

SR 锁存器电路, 如图 2 所示. SR 锁存器是由两个首尾交叉连接的或非门构成. 若采用图 2 中 NOR1 的 A 输入端和 NOR2 的 B 输入端作为 SR 锁存器的输入引脚, 则会造成锁存比较器的两个输出节点 out+ 和 out- 负载电容不同, 这会产生比较器失调电压偏移的问题^[9]. 文中采用两个或非门的同一端引脚 B 作为锁存比较器的负载, 且 B 输入端连接的是或非门中两个不存在体效应的金属氧化物半导体场效应晶体(MOS)管 MN1 和 MP2, 从而避免比较器输入失调电压偏移的问题.

文中比较器的工作原理如下所述. 其中, N 沟道金属氧化物半导体(NMOS)管的阈值电压为 V_{THN} ; PMOS 管的阈值电压为 V_{THP} .

1) 复位阶段. CLK 为低电平, MOS 管 MN1 截止, MP1, MP2 导通, 预放大器将节点 Di (Di+ 和 Di-) 充电至 V_{DD} ; MP6, MP7 截止, MN4, MN7 导通, 节点 out+, out- 被下拉至零电位(GND), SR 锁存器处于保持状态, 比较器的输出保持上一个状态不变; 复位管 MP5 导通, 使节点 M, N 的电压相等, MP3, MN5 和 MP4, MN6 为交叉耦合的反相器, 此时均截止.

2) 再生阶段. CLK 为高电平, MOS 管 MN1 导通, MP1, MP2 截止, 节点 Di- 和 Di+ 根据输入信号 V_{IP} 和 V_{IN} 的不同, 以不同的速率放电. 记节点 Di 放电到 $V_{\text{DD}} - |V_{\text{THP}}|$ 的时间为 T_1 , 这段时间, MN2, MN3 工作在饱和区. 假设比较器的差模输入信号很小, 则流过 MN2, MN3 的电流近似相等, 记为 I_{D1} , 忽略二级效应, 有

$$I_{\text{D1}} = \frac{1}{2} u_n C_{\text{OX}} (W/L)_1 \times (V_{\text{IP,IN}} - V_{\text{THN}} - V_s)^2. \tag{1}$$

式(1)中: $(W/L)_1$ 为 MN2, MN3 的宽长比; $V_{\text{IP}}, V_{\text{IN}}$ 为输入电压信号; V_s 为 MN1 导通时节点 S 的电压. 节点 Di 的电压随时间变化可表示为

$$V_{\text{Di}}(t) = V_{\text{DD}} - \frac{I_{\text{D1}}}{C_{\text{Di}}} t. \tag{2}$$

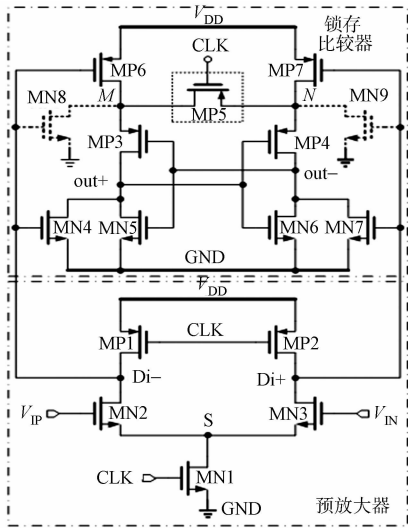


图 1 预放大器和锁存比较器电路
Fig. 1 Pre-amplifier and latched comparator circuit

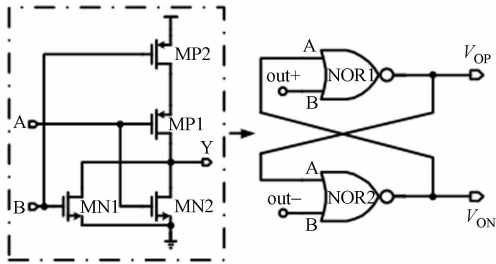


图 2 SR 锁存器电路
Fig. 2 SR latch circuit

因此,时间 T_1 为

$$T_1 = (|V_{\text{THP}}|C_{\text{Di}})/I_{\text{D1}}.$$

(3)

式(3)中: C_{Di} 为节点 $\text{Di}+$ 和 $\text{Di}-$ 的寄生电容, $C_{\text{Di}}=C_{\text{Di}+}=C_{\text{Di}-}$.

当 V_{Di} 下降到 $V_{\text{DD}}-|V_{\text{THP}}|$,MP6,MP7 管开始导通并工作在饱和区,忽略二级效应,流过 MP6,MP7 的电流为

$$I_{\text{D2}} = \frac{1}{2}u_{\text{p}}C_{\text{OX}}(W/L)_2 \times (V_{\text{DD}}-V_{\text{Di}}-|V_{\text{THP}}|)^2.$$

(4)

式(4)中: $(W/L)_2$ 为 MP6,MP7 的宽长比.

MP6,MP7 以电流 I_{D2} 分别对节点 M,N 进行充电.此时,MP3,MP4 仍然截止, V_{out} ($V_{\text{out}+}$ 和 $V_{\text{out}-}$)等于 GND,MN4,MN7 工作在深线性区,电流几乎为 0.当 V_M,V_N 充电到 $|V_{\text{THP}}|$ 时,MP3,MP4 导通,记 V_M,V_N 达到 $|V_{\text{THP}}|$ 的时间为 T_2 ,同理有

$$T_2 = \frac{|V_{\text{THP}}|C_{M,N}}{I_{\text{D2}}}.$$

(5)

式(5)中: $C_{M,N}$ 为节点 M,N 的寄生电容, $C_{M,N}=C_M=C_N$.

MP3,MP4 导通后,MN4,MN7 工作在线性区,流过 MN4 和 MN7 的电流为

$$I_{\text{D3}} = u_{\text{n}}C_{\text{OX}}(W/L)_3 \times [(V_{\text{Di}}-V_{\text{THN}}) \times V_{\text{out}} - \frac{1}{2}V_{\text{out}}^2].$$

(6)

式(6)中: $(W/L)_3$ 为 MN4,MN7 的宽长比.节点 $\text{out}+$ 和 $\text{out}-$ 以电流 $I_{\text{D2}}-I_{\text{D3}}$ 充电,记 V_{out} 达到 V_{THN} 的时间为 T_3 ,即

$$T_3 = V_{\text{THN}}C_{\text{out}}/(I_{\text{D2}}-I_{\text{D3}}).$$

(7)

式(7)中: C_{out} 为节点 $\text{out}+$ 和 $\text{out}-$ 的寄生电容, $C_{\text{out}}=C_{\text{out}+}=C_{\text{out}-}$.

V_{out} 达到 V_{THN} 后,MN5,MN6 开始导通,由 MP3,MN5 和 MP4,MN6 构成的锁存器开始工作.由于节点 $\text{Di}-$ 和 $\text{Di}+$ 以不同的速率放电,同一时间 $V_{\text{Di}-}$ 和 $V_{\text{Di}+}$ 必然会有一个微小的差值,进而造成 $V_{\text{out}+}$ 和 $V_{\text{out}-}$ 产生压差,记为 ΔV_{out} ,这个压差作为锁存器的初始压差,会被迅速放大到 $V_{\text{DD}}-\text{GND}$,驱动 SR 锁存器置 0 或置 1,即比较器的输出.锁存器再生过程需要的时间记为 $T_4^{[10]}$,则有

$$T_4 = \tau \cdot \ln(\frac{V_{\text{DD}}-\text{GND}}{\Delta V_{\text{out}}}).$$

(8)

τ 为锁存器的时间常数,即

$$\tau = \frac{C_{\text{out}}}{g_{\text{m}}}.$$

(9)

式(9)中: g_{m} 为锁存器的跨导.

由以上的分析可知,比较器总的延迟时间约为

$$T_{\text{delay}} = T_1 + T_2 + T_3 + T_4.$$

(10)

3) 比较器再次复位. CLK 跳变为低电平,MN1 截止,MP1,MP2 导通,节点 Di 被充电至 V_{DD} ;MP6,MP7 截止,MN4,MN7 导通,节点 $\text{out}+$ 和 $\text{out}-$ 通过 MN4 和 MN7 放电到 GND;节点 M,N 的电压因为复位管 MP5 的导通而相等,且分别通过 MP3,MN4 支路及 MP4,MN7 支路放电;当节点 M,N 的电压放电至 $|V_{\text{THP}}|$ 时,MP3,MP4 截止,忽略亚阈值导电特性, M,N 的电压最终保持在 $|V_{\text{THP}}|$ 不变.

当比较器再次处于再生状态,由于节点 M,N 的电压已经为 $|V_{\text{THP}}|$,所以比较器在再生阶段节约了时间 T_2 ,且避免再次对节点 M,N 进行充电.因此,相较于文献[5]将 M,N 两点的电压放电到 0 的做法,文中实现了电荷的再利用,减小了比较器的延迟时间.比较器总的延迟时间缩减为

$$T_{\text{d}} = T_1 + T_3 + T_4.$$

(11)

比较器每个周期节约电荷量,即

$$Q = C \times V = 2 \times C_{M,N} \times |V_{\text{THP}}|.$$

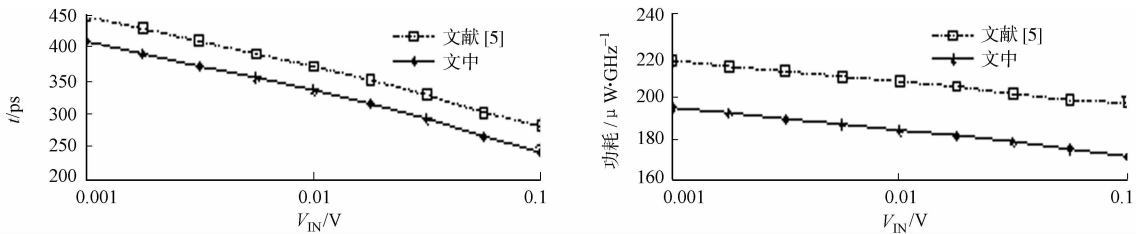
(12)

2 电路仿真结果

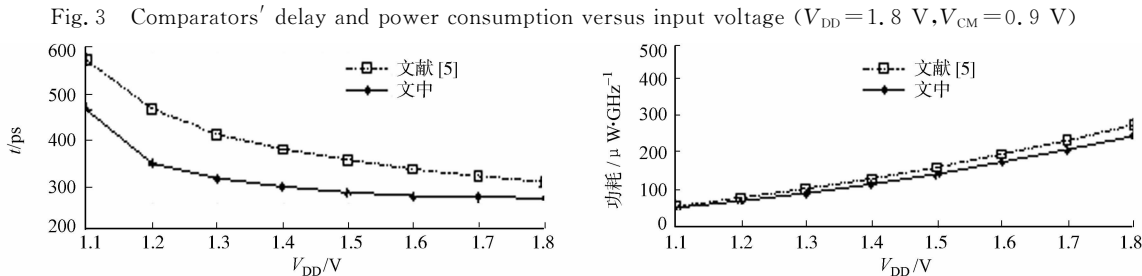
对文中提出的比较器和文献[5]的架构进行设计与仿真.两个电路都采用 TSMC 0.18 μm CMOS

工艺实现,复位管 MP5 采用的尺寸和文献[5]中复位管 MN8,MN9 采用的尺寸均为 600 nm/180 nm,其他晶体管一一对应. 仿真条件:电源电压 V_{DD} 为 1.8 V;时钟频率 CLK 为 1 GHz;温度为 27 °C;工艺角为 TT;比较器输入共模电压 V_{CM} 为 0.9 V,输出电容负载为 5 fF.

比较器的延迟时间(t)和功耗与输入电压的关系($V_{DD}=1.8\text{ V},V_{CM}=0.9\text{ V}$),如图 3 所示. 以输入电压 $\Delta V_{IN}=50\text{ mV}$ 为例,文献[5]架构比较器的延迟时间为 282.85 ps,文中比较器的延时为 246.13 ps,改进后的比较器延迟时间减小了 36.72 ps,速度提升约 13%;文献[5]架构比较器的平均动态功耗为 $198.8\text{ }\mu\text{W}\cdot\text{GHz}^{-1}$,文中为 $175.6\text{ }\mu\text{W}\cdot\text{GHz}^{-1}$,平均动态功耗降低了 11.7%(此处不包含 SR 锁存器的功耗). 比较器延迟时间和功耗与电源电压的关系($\Delta V_{IN}=50\text{ mV},V_{CM}=V_{DD}-0.4\text{ V}$),结果如图 4 所示.



(a) 延迟时间与输入电压 (b) 功耗与输入电压
图 3 比较器延迟时间和功耗与输入电压的关系($V_{DD}=1.8\text{ V},V_{CM}=0.9\text{ V}$)



(a) 延迟时间与电源电压 (b) 功耗与电源电压
图 4 比较器延迟时间和功耗与电源电压的关系($\Delta V_{IN}=50\text{ mV},V_{CM}=V_{DD}-0.4\text{ V}$)

Fig. 3 Comparators' delay and power consumption versus input voltage ($V_{DD}=1.8\text{ V},V_{CM}=0.9\text{ V}$)

在较低的电源电压下,文中比较器的延时相较于于文献[5]架构的比较器最多减小了 18.7%;随着电源电压的升高,文中比较器的低功耗优势逐渐增大.

在不同温度($-40\sim125\text{ }^{\circ}\text{C}$)和工艺角(FF,TT,SS,FS,SF)下对文中的比较器进行仿真. 仿真结果表明:温度为 $125\text{ }^{\circ}\text{C}$,工艺角为 SS 时,出现最坏情况. 此时的瞬态仿真波形,如图 5 所示. 由图 5 可知:比较器可分辨的最小电压为 0.3 mV,延迟时间为 729.595 ps.

对整个比较器进行 100 次 Monte carlo 分析仿真,SR 锁存器的输入引脚改进前后输入失调电压(V_{offset})的仿真结果,如图 6 所示. 图 6 中: V_{mu} 为平均值; V_{sd} 为标准偏差; N 为仿真次数; η 为概率.

由图 6 可知:SR 锁存器的输入引脚改进前,比较器的输入失调电压呈现整体偏移的情况,最大达到 14 mV;SR 锁存器的输入引脚改进后,失调电压平均值为 0.65 mV,标准偏差为 3.96 mV,失调电压集中分布在 $-8\sim8\text{ mV}$.

文中比较器与部分文献比较器的性能指标对比,如表 1 所示. 由表 1 可知:文中比较器在功耗、失调电压等方面有一定优势,适合于高速低功耗的应用.

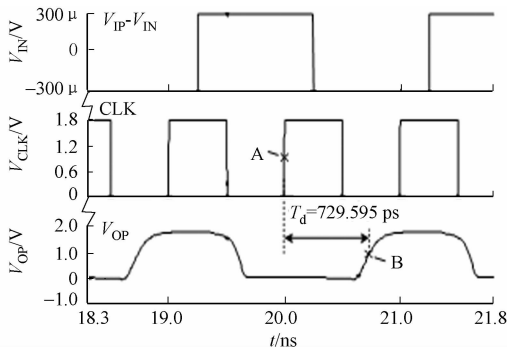


图 5 文中比较器最坏情况仿真波形
Fig. 5 Simulation waveform of proposed comparator in worst case

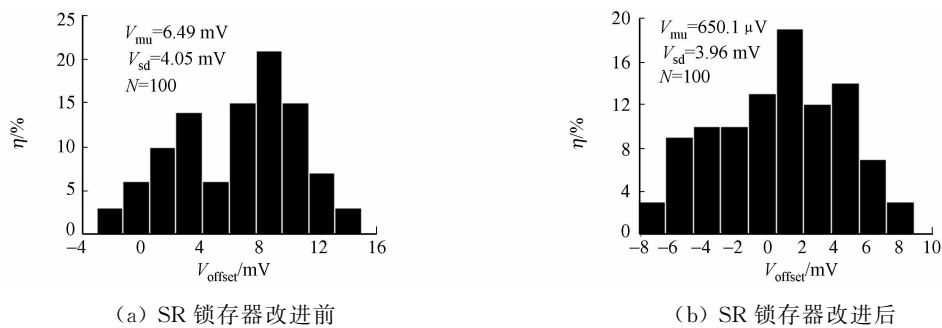


图 6 比较器失调电压分布

Fig. 6 Distribution of comparator's offset voltage

表 1 比较器性能指标对比

Tab. 1 Performance index comparisons of comparators

指标	特征尺寸/ μm	V_{DD}/V	平均动态功耗/ $\mu\text{W} \cdot \text{GHz}^{-1}$	$V_{\text{offset}}/\text{mV}$
文献[3]	0.18	1.2	24 600.0	12.5
文献[4]	0.18	1.8	610.0	12.0
文献[7]	0.18	1.8	250.0	10.0
文中	0.18	1.8	200.0	8.0

3 结束语

提出一种高速低功耗动态锁存比较器. 锁存比较器的复位电路仅由一个 PMOS 管组成, 实现了电荷的再利用, 减小了延迟, 降低了功耗. 对 SR 锁存器的输入端口改进后, 避免了比较器输入失调电压偏移的问题. 电路采用 TSMC 0.18 μm CMOS 工艺实现, 在电源电压 1.8 V, 时钟频率 1 GHz 的条件下, 比较器精度为 0.3 mV, 最大输入失调电压为 8 mV, 功耗为 0.2 mW, 适合于高速低功耗应用中.

参考文献:

[1] SCHINKEL D, MENSINK E, KLUMPERINK E A M, *et al.* A 3-Gb/s/ch transceiver for 10-mm uninterrupted RC-limited global on-chip interconnects[J]. *Journal of Solid-State Circuits*, 2006, 41(1): 297-306.

[2] SHEIKHAEI S, MIRABBASI S, IVANOV A. A 0.35 μm CMOS comparator circuit for high-speed ADC applications[C]// *International Symposium on Circuits and Systems*. Kobe: IEEE Press, 2005: 6134-6137.

[3] FAHMY G A, POKHAREL R K, KANAYA H, *et al.* A 1.2 V 246 μW CMOS latched comparator with neutralization technique for reducing kickback noise[C]// *IEEE Region 10 Conference*. Fukuoka: IEEE Press, 2010: 1162-1165. DOI:10.1109/TENCON.2010.5686392.

[4] 吴笑峰, 刘红侠, 石立春, 等. 新型高速低功耗 CMOS 动态比较器的特性分析[J]. *中南大学学报(自然科学版)*, 2009, 40(5): 1354-1359.

[5] MIYAHARA M, ASADA Y, PAIK D, *et al.* A low-noise self-calibrating dynamic comparator for high-speed ADCs [C]// *Asian Solid-State Circuits Conference*. Fukuoka: IEEE Press, 2008: 269-272.

[6] JEON H J, KIM Y B. A novel low-power, low-offset, and high-speed CMOS dynamic latched comparator[J]. *Analog Integrated Circuits and Signal Processing*, 2012, 70(3): 337-346. DOI:10.1007/s10470-011-9687-5.

[7] WONG K L J, YANG C K K. Offset compensation in comparators with minimum input-referred supply noise[J]. *Journal of Solid-State Circuits*, 2004, 37(5): 837-840. DOI:10.1109/JSSC.2004.826317.

[8] SCHINKEL D, MENSINK E, KLUMPERINK E, *et al.* A double-tail latch-type voltage sense amplifier with 18 ps setup+hold time[C]// *International Solid-State Circuits Conference*. California: IEEE Press, 2007: 314-605.

[9] NIKOOZADEH A, MURMANN B. An analysis of latch comparator offset due to load capacitor mismatch[J]. *Transactions on Circuits and Systems II: Express Briefs*, 2006, 53(12): 1398-1402.

[10] RAZAVI B, WOOLEY B A. Design techniques for high-speed, high-resolution comparators[J]. *Journal of Solid-State Circuits*, 1993, 27(12): 1916-1926. DOI:10.1109/4.173122.