

DOI: 10.11830/ISSN.1000-5013.201605104



应用于锁相环中的锁定检测电路设计

崔冰^{1,2}, 杨骁^{1,2}, 姜付军^{1,2}, 邱伟彬^{1,2}

(1. 华侨大学 信息科学与工程学院, 福建 厦门 361021;
2. 厦门市 ASIC 与系统重点实验室, 福建 厦门 361008)

摘要: 设计一种应用于锁相环(PLL)中的锁定检测电路(LDC). 该电路采用移位寄存器的方式, 当连续 18 个时钟周期内检测到锁定时, 输出通过正反馈置为高电平. 同时, 在该电路中加入复位及强制锁定端口, 采用 SMIC 28 nm CMOS 标准工艺库实现. 仿真结果表明: 当电源电压为 0.9 V, 参考频率在 10~100 MHz 范围内时, 均可完成锁定检测.

关键词: 锁相环; 锁定检测电路; 移位寄存器; 正反馈; 复位

中图分类号: TN 47 **文献标志码:** A **文章编号:** 1000-5013(2018)03-0457-04

Design of Lock Detection Circuit for Phase-Locked Loop Applications

CUI Bing^{1,2}, YANG Xiao^{1,2},
LOU Fujun^{1,2}, QIU Weibin^{1,2}

(1. College of Information Science and Engineering, Huaqiao University, Xiamen 361021, China;
2. Key Laboratory of ASIC and System of Xiamen, Xiamen 361008, China)

Abstract: A lock detection circuit (LDC) was developed for using in phase-locked loop (PLL). A shift register was used in this circuit, and the output was at high level through positive feedback when the lock was detected during 18 consecutive clock cycles. Meanwhile, reset and force locking ports were added in the circuit. The circuit was designed in SMIC 28 nm CMOS process. The results of simulation showed that the lock detection could be completed when the supply voltage was 0.9 V and the reference frequency was 10-100 MHz.

Keywords: phase-locked loop; lock detection circuit; shift register; positive feedback; reset

大数据时代背景下, 串行传输方式成为高速数据传输的研究热点^[1-2]. 高速串行接口包含发送端和接收端, 其中, 发送端的串化及接收端的解串均需要锁相环电路^[3-5]. 锁相环锁定后, 需要为数字控制电路提供状态转换标志位, 这就需要锁定检测电路. 文献[6-9]采用在一段时间内分别对参考时钟和反馈时钟计数的方式, 使锁定误差与计数器位数相关. 其中, 袁慧等^[6]具体电路的实施需要两组 18 位计数器及一组比较器, 增加了电路开销. 黄召军^[8]采用 SMIC 0.18 μm CMOS 工艺设计的锁定检测电路, 锁定误差为 0.96 ns@1.27 GHz. 锁相环环路带宽较小时, 压控振荡器控制电压长时间缓慢上升^[10], 可能导致锁定检测电路误判. 因此, 本文提出一种锁定检测电路, 采用一组 16 位的移位寄存器, 不仅简化了电路设计, 且在减小锁定误差的同时, 又有效防止了误锁定.

收稿日期: 2016-05-29

通信作者: 杨骁(1978-), 男, 讲师, 博士, 主要从事模拟集成电路设计的研究. E-mail: xiaoyanghqu@hqu.edu.cn.

基金项目: 福建省科技计划重点项目(2013H0029); 福建省泉州市科技计划项目(2013Z33); 华侨大学研究生科研创新能力培育计划资助项目(1400201019)

1 锁定检测电路的设计背景

锁定检测电路的应用框图,如图 1 所示. 系统主要由鉴频鉴相器(PFD),电荷泵(CP),环路滤波器,压控振荡器(VCO),分频器(DIV)及锁定检测电路(LDC)组成^[7]. 图 1 中: f_{ref} 为参考时钟;reset 为复位信号(低电平有效);force_lock 为强制锁定信号(高电平有效);lock 为锁定输出标志位. PFD 输出 up, dn 作为后级 CP 充放电控制信号; R_1, C_1, C_2 构成环路滤波电路; V_{ctr} 为 VCO 控制电压. 系统锁定前,PFD 输出 up, dn 信号始终存在相差^[5]. 锁定后, VCO 的输出频率(f_{vco})趋于恒定,此时, PFD 产生同频同相的 up, dn 信号(脉宽等于复位单元的延时 t_d , 频率等于参考频率 f_{ref}). 因此, 可通过实时检测 up, dn 信号的变化情况, 判定锁相环是否锁定.

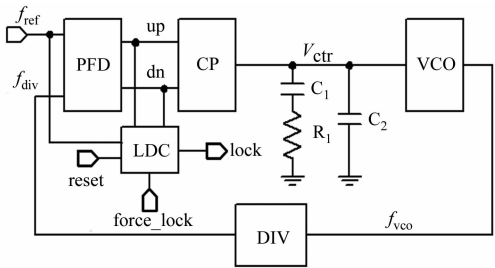


图 1 锁定检测电路的应用框图
Fig. 1 Application block diagram of LDC circuit

2 锁定检测电路的整体设计方案

2.1 结构及功能描述

提出的锁定检测电路,如图 2 所示. 图 2 中:系统由锁定判别电路(201),防误锁电路(202),电源上拉电路(203)和正反馈输出电路(204)组成.

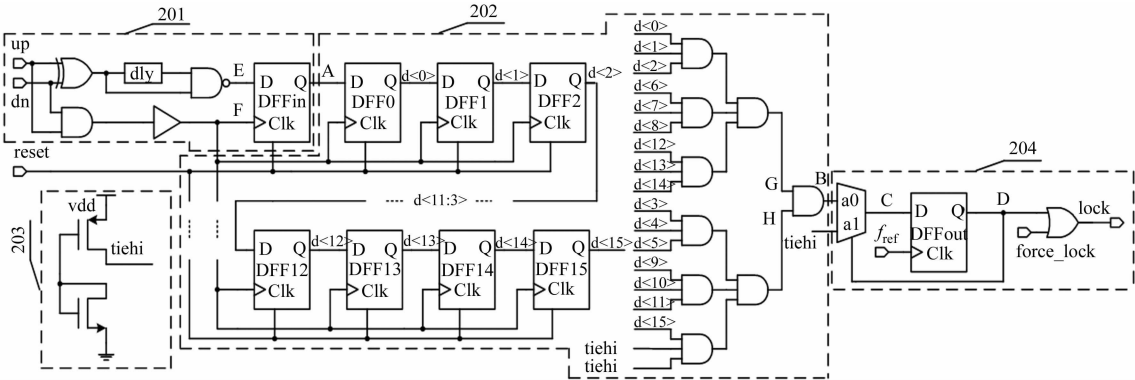


图 2 锁定检测电路原理图
Fig. 2 Schematic of LDC

up, dn 信号作为图 2 中单元 201 的输入,经异或门,延迟单元(dly),与非门, D 触发器,在时钟信号的作用下,判别系统是否锁定. 系统锁定后, up, dn 信号同频同相,经异或门的作用输出低电平. 延迟一段时间(延迟等于 PFD 复位单元延时的 2 倍, $2t_d$)的信号与未经延迟的信号经与非门,送 D 触发器的数据输入端. 因此,锁定误差可控制在 $t_d \sim 2t_d$ 内. 锁定后,单元 201 的 A 点置为高电平,送移位寄存器用来防止误锁定.

单元 202 由 16 个 D 触发器组成的移位寄存器和若干与门构成. 当单元 201 输出端连续 17 个时钟周期(201 部分 1 个, 202 部分 16 个)内输出始终为高电平, $d<15:0>$ 全部置为高电平,经若干与门逻辑组合后,在 B 端输出高电平. 在此期间,只要 $d<15:0>$ 有一个为低电平,则 B 端输出低电平,有效防止了误锁定.

增加单元 203 作为电源上拉电路,使电源电压经 PMOS 管缓冲后,再供其他数字单元使用,有效地减小了电源噪声对数字逻辑的影响. 正常工作时, tiehi 端口恒为高电平. 单元 204 为正反馈输出级,初始状态 B, D 两点输出为低电平, 2 选 1 多路选择器选择 a0 作为输出. 当 B 点输出输出高电平时, D 点置高,选择器选择 a1 作为输出,这样输出通过正反馈的方式稳定到高电平.

图 2 中共使用了 18 个带复位端的 D 触发器,其内部结构如图 3 所示. 当复位信号 reset 为高电平时,在 Clk 上升沿到来时, D 端数据送 Q,直到下个时钟上升沿到来时,刷新 Q 端的数据,起到数据暂存的作用;当复位信号 reset 为低电平时,经与门的作用,输出恒为低电平,完成复位操作.

2.2 时序分析

2.2.1 锁定前的时序分析 图4为锁定前的时序.图4中:标注的各信号节点对应图2.设定初始条件 reset 从 gnd 跳变到 vdd 完成复位操作(防止上电时的误锁定), force_lock 置为低电平.未锁定前,up 和 dn 信号始终存在相差,up,dn 经与门及驱动电路后,作为前 17 个 D 触发器的时钟信号,如图4中 F 所示.时钟上升沿到来时,图2中 E 点始终为低电平,经 17 个时钟沿后,d<15>0

2.2.2 锁定后的时序分析 锁定后的时序,如图 5 所示. reset, force_lock 的设置方法与图 4 相同. 锁定后, up 和 dn 信号同频同相, up, dn 经与门及驱动电路后, 作为前 17 个 D 触发器的时钟信号, 如图 6 中 F 所示. 时钟上升沿到来时, 图 2 中 E 点始终为高电平, 经 17 个时钟沿后, d<15:0>全部置为高电平, 第 18 个时钟沿到来时, lock 端也被置为高电平.

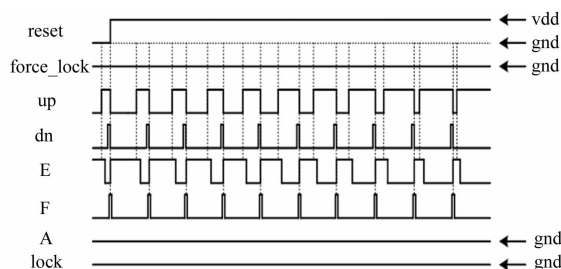


图 4 锁定前时序

Fig. 4 Sequence diagram before locked

锁定过程的时序,如图 6 所示. 系统完成复位后,进入锁定检测状态. 检测到锁定后,图 2 中的 $d(0:15)$ 在时钟的作用下,依次置为高电平. 其中, G, H 信号为经 8 个 3 输入与门逻辑组合后的结果. 第 19 个时钟上升沿(包含 1 个复位周期)到来时, lock 端输出高电平.

3 电路仿真结果

电路采用电源电压为 0.9 V 的 SMIC 28 nm CMOS 标准工艺进行设计, 采用 Spectre 对电路进行了仿真。仿真时, 设定 PFD 参考时钟 1 ns, 占空比为 49.55%(模拟锁相环锁定前的参考时钟和反时钟)。在第 11 ns 时, 完成复位操作; 第 276 ns 时, force_lock 置为高电平。锁定前的波形, 如图 7 所示。由图 7 可知: lock 信号在前 276 ns 内始终为低电平, 之后在 force_lock 的作用下, 输出变为高电平。

仿真时,设定 PFD 参考时钟和反馈时钟周期均为 10 ns,占空比为 50%(模拟锁相环锁定后的参考时钟和反馈时钟).在第 11 ns 时,完成复位操作;230~260 ns 时,再次复位;第 276 ns 时,force_lock 置为高电平.锁定后的波形,如图 8 所

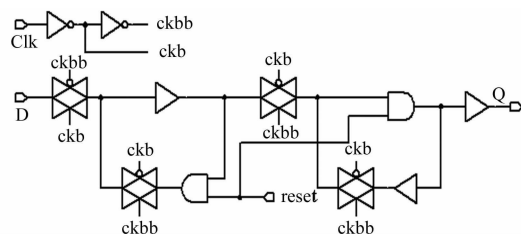


图 3 带复位端的 D 触发器电路

Fig. 3 D flip-flop circuit with reset terminal

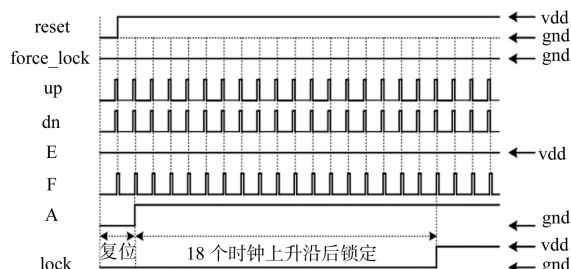


图 5 锁定后时序

Fig. 5 Sequence diagram after locked

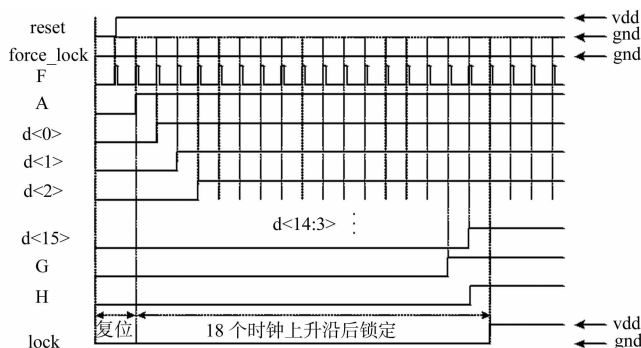


图 6 锁定过程时序图

Fig. 6 Sequence diagram of locking

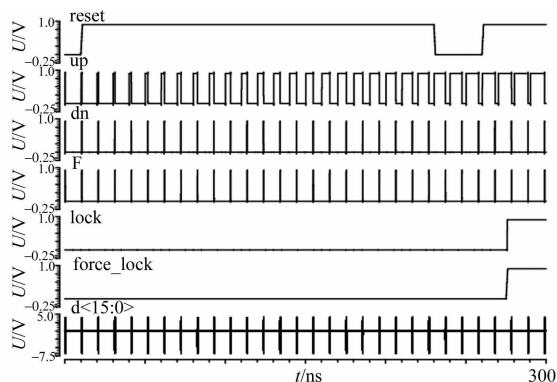


图 7 锁定检测电路锁定前波形图

Fig. 7 Waveform before LDC locked

示. 由图 8 可知: lock 信号在第 20 个时钟上升沿到来时, 变为高电平并一直保持; 第 230 ns reset 信号到来时, 变为低电平; 276 ns 时, 在 force_lock 的作用下, 再次变为高电平. 由此可见, 所设计的锁定检测电路可完成锁定检测, 并可有效防止误锁定. 复位及强制锁定信号可以正常工作, 方便了电路之间的联调.

锁定检测电路应用于锁相环时的整体仿真结果, 如图 9 所示. 仿真时, 设定锁相环参考频率为 10 MHz, 内部分频器分频比为 250. 由图 9 可知: 锁定后输出频率(f_{vco})为 2.5 GHz; VCO 控制电压(V_{ctr})为 348.8 mV; 锁定时间为 4.57 μ s; up 和 dn 脉宽为 156.4 ps; 锁定检测电路可以正常工作.

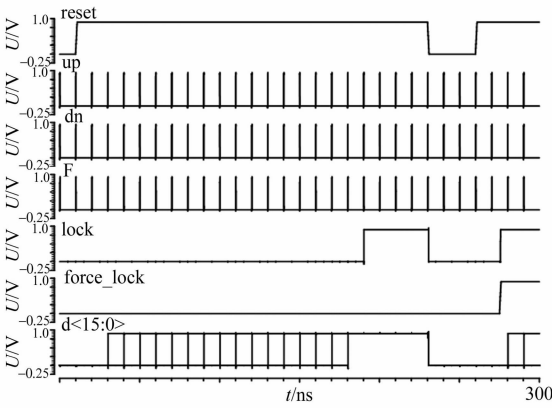


图 8 锁定检测电路锁定后波形图
Fig. 8 Waveform after LDC locked

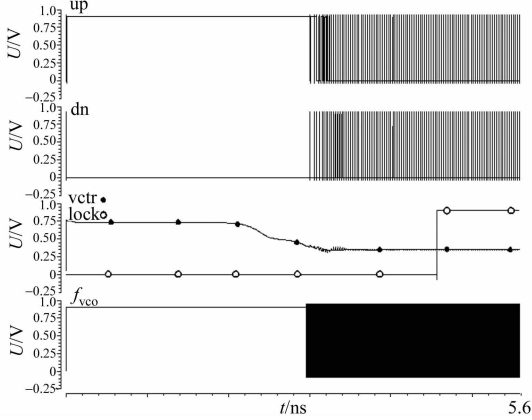


图 9 锁相环锁定后的波形图
Fig. 9 Waveform after PLL locked

4 结 束 语

在 SMIC 28 nm CMOS 工艺下, 设计了 2.5 GHz 锁相环中的锁定检测电路. 仿真结果表明: 当参考频率为 10~100 MHz 时, 锁定检测电路可以正常工作. 为了方便与其他电路进行联调, 增加了复位及强制锁定信号. 整体电路在保证检测精度的前提下, 相比其他电路减化了电路结构.

参考文献:

[1] JUNG J W, RAZAVI B. A 25-Gb/s 5-mW CMOS CDR/deserializer[J]. IEEE Journal of Solid-State Circuits, 2013, 48(3): 684-697. DOI:10.1109/JSSC.2013.2237692.

[2] 宋奕霖, 王自强. 14 Gb/s 高速串行接口发送端电路设计[J]. 微电子学, 2015, 45(1): 26-31.

[3] YUAN Shuai, WANG Ziqiang, ZHENG Xuqiang, et al. A 4.8-mW/Gb/s 9.6-Gb/s 5+1-lane source-synchronous transmitter in 65-nm bulk CMOS[J]. Circuits and Systems II Express Briefs IEEE Transactions on, 2014, 61(4): 209-213. DOI:10.1109/TCSII.2014.2312092.

[4] HOSSAIN M, CARUSONE A C. 7.4 Gb/s 6.8 mW source synchronous receiver in 65 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2011, 46(6): 1337-1348. DOI:10.1109/JSSC.2011.2131730.

[5] RHEE W, AINSPAN H, FRIEDMAN D J, et al. A uniform bandwidth PLL using a continuously tunable single-input dual-path LC VCO for 5Gb/s PCI express Gen2 application[C]// Solid-State Circuits Conference. Jeju: IEEE Press, 2007: 63-66.

[6] 袁慧, 赵四化, 武戎. 2.5 GHz 锁相环锁定检测电路分析[J]. 微电子学, 2012, 42(4): 493-496. DOI:10.3969/j.issn.1004-3365.2012.04.012.

[7] AHN T. Phase lock detection circuit for phase-locked loop circuit: US, 6496554B1[P]. 2002-12-17.

[8] 黄召军. 一种电荷泵锁相环频率合成器的设计与研究[D]. 无锡: 江南大学, 2009: 65-70.

[9] MELIKYAN V, HOVSEPYAN A, ISHKHANYAN M, et al. Digital lock detector for PLL[C]// Proceedings of IEEE EWDTS. Lviv: IEEE Press, 2008: 141-142.

[10] 王颖. SerDes 系统级设计及行为级验证[D]. 成都: 电子科技大学, 2012: 34-38.

(责任编辑: 黄晓楠 英文审校: 吴逢铁)