

doi: 10.11830/ISSN.1000-5013.201509027



# 低抖动高线性压控振荡器 设计与仿真分析

崔冰<sup>1,2</sup>, 杨骁<sup>1,2</sup>, 徐锦里<sup>1,2</sup>

(1. 华侨大学 信息科学与工程学院, 福建 厦门 361021;  
2. 厦门市 ASIC 与系统重点实验室, 福建 厦门 361008)

**摘要:** 设计一种应用于锁相环(PLL)电路的压控振荡器(VCO). 该电路采用浮空电容结构, 相对传统接地电容结构, 可提高电容充放电幅值, 减小时钟抖动. 快速电平检测电路, 使电路在未采用反馈和补偿的前提下, 减小环路延时, 从而实现高线性. 电路采用 CSMC 0.6  $\mu\text{m}$  CMOS 标准工艺库实现. 仿真结果表明: 振荡频率为 0.79, 24, 30 MHz 时的相位噪声达到  $-128, -122, -120 \text{ dBc} \cdot \text{Hz}^{-1} @ 1 \text{ MHz}$ . 通过调节外接电阻电容, 使得电路在 3~6 V 电源电压下, 输出  $100.0 \sim 3.0 \times 10^7 \text{ MHz}$  的矩形波, 电路兼具低相位噪声和高线性特性.

**关键词:** 锁相环; 压控振荡器; 浮空电容; 相位噪声

中图分类号: TN 752.1      文献标志码: A      文章编号: 1000-5013(2017)06-0858-04

## Design and Simulation Analysis of Low-Jitter High-Linearity Voltage-Controlled Oscillator

CUI Bing<sup>1,2</sup>, YANG Xiao<sup>1,2</sup>, XU Jinli<sup>1,2</sup>

(1. College of Information Science and Engineering, Huaqiao University, Xiamen 361021, China  
2. Key Laboratory of ASIC and System of Xiamen, Xiamen 361008, China)

**Abstract:** A voltage-controlled oscillator (VCO) was designed for phase-locked loop (PLL). Floating timing capacitor architecture was adopted to enhance amplitude of capacitor's charge and discharge, compared with grounded timing capacitor architecture, reducing the clock jitter. The rapid level detection circuit, which reduced the loop delay and achieves high-linearity without using feedback and compensation. The circuit was designed in CSMC 0.6  $\mu\text{m}$  CMOS process. Simulation results showed that the phase noise was  $-128, -122, -120 \text{ dBc} \cdot \text{Hz}^{-1} @ 1 \text{ MHz}$  when the oscillation frequency was 0.79, 24, 30 MHz. The circuit output  $100.0 \sim 3.0 \times 10^7 \text{ Hz}$  square wave at 3~6 V supply voltage by adjusting the external resistor and capacitor. The characters of this circuit were not only low phase noise but also high-linearity.

**Keywords:** phase-locked loop; voltage-controlled oscillator; floating timing capacitor; phase noise

振荡器噪声通常用抖动和相位噪声来衡量, 它们是噪声在时域和频域的不同表述. 当振荡器用作本地振荡信号时, 一般用相位噪声来描述它的噪声性能; 而用作时钟发生器时, 一般用抖动来描述它的噪声性能<sup>[1]</sup>. 振荡器用于时钟恢复电路时, 要求时钟具有低抖动特性; 用于调制解调时, 为降低调制解调信号的失真, 要求信号具有良好的线性特性<sup>[2]</sup>. 张弛振荡器是一种常用的时钟产生电路, 可分为浮空电容<sup>[3]</sup>和接地电容两种结构<sup>[4-6]</sup>. 文献[3-6]对两种结构的优缺点进行对比. 电源电压随着集成电路工艺的

收稿日期: 2015-09-20

通信作者: 杨骁(1978-), 男, 讲师, 博士, 主要从事模拟集成电路设计的研究. E-mail: xiaoyanghqu@hqu.edu.cn.

基金项目: 福建省科技计划重点项目(2013H0029); 福建省泉州市科技计划项目(2013Z33); 华侨大学研究生科研创新能力培育计划资助项目(1400201019)

发展不断降低,传统接地电容结构的振荡器在低电源电压下,电容充放电幅值受到了限制,从而增大时钟抖动. Tokunaga 等<sup>[7]</sup>采用反馈技术提高振荡器的线性度,但这以增大电路的功耗为代价. 本文提出的电路压控振荡器(VCO)采用浮空电容结构,应用于锁相环(PLL)电路中,可实现频率调制和解调等<sup>[8]</sup>.

### 1 VCO 的设计背景

VCO 电路的应用框图,如图 1 所示. PLL 系统主要由一个 VCO 及三种可供选择的鉴频/鉴相器(PC1,PC2,PC3)构成. 其中,  $SIG_{IN}$  为外部晶振产生的参考时钟,RS 为用于解调时的外接电阻. 通过改变外接电阻电容( $R_1, R_2, R_3$ )的大小,在  $VCO_{OUT}$  端产生不同频率的矩形波,供内部电路或其他外围电路使用. 其中,电阻  $R_1$  和电容  $C_1$  决定了 VCO 的中心频率,电阻  $R_2$  和电容  $C_1$  决定了 VCO 的频率偏移量. 鉴频/鉴相器的输出经低通滤波器( $R_3, R_4, C_2$ )的滤波,产生控制电压  $VCO_{IN}$ , 内部集成的运算放大器及外接电阻  $R_1$  将该控制电压转换成控制电流,对外接电容  $C_1$  进行周期性的充放电,从而产生一定频率的矩形波.

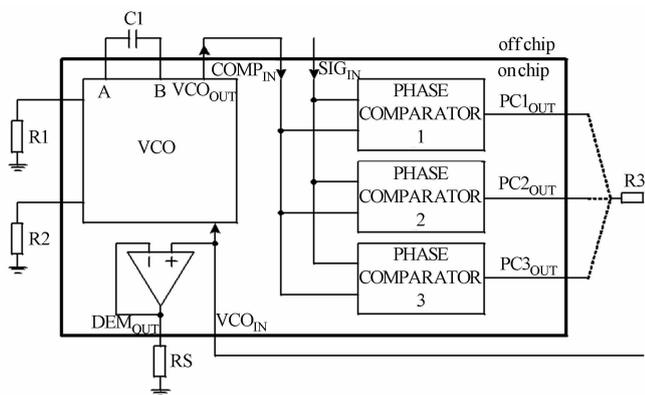


图 1 VCO 电路的应用框图

Fig. 1 Application block diagram of VCO circuit

### 2 VCO 电路的原理分析

振荡器非线性的影响会在调制解调时产生谐波失真,应用频率解调时产生的二次谐波表达式<sup>[2]</sup>为

$$HD_2 = (t_{d,tot} \cdot \Delta f) / 2. \tag{1}$$

式(1)中: $\Delta f$  为频率扫描范围; $t_{d,tot}$  为一个振荡周期内的总延时. 因此,最小化二次谐波要求振荡环路具有最小延时. 由于电平检测电路有限带宽等因素的影响,导致传统单电容结构的张弛振荡器在一个振荡周期内的总延时为  $4t_d$ <sup>[2]</sup>, 这些延时为振荡器非线性的主要成因.

提出的 VCO 核心电路,如图 2 所示. 图 2 中:电路主要由 3 部分组成,一部分由电流产生模块(CMA1,CMA2)和电流求和(P1,P2)模块组成,另一部分由控制开关(N1,N2,P3,P4)组成,最后一部分由比较器和 RS 触发器构成的充放电控制电路组成.

VCO 核心电路利用图 1 所示的  $VCO_{IN}$  及外接电阻( $R_1, R_2$ ),产生电流  $I$ ,对外接电容  $C_1$  进行充分放电,从而在  $VCO_{OUT}$  端产生一定频率的矩形波. VCO 电路正常工作时,可等效为两个通路(图 2). 其中, $R_{P3}, R_{P4}$  和  $R_{N1}, R_{N2}$  分别为  $P_3, P_4, N_1, N_2$  的线性导通电阻. 电路的工作原理为:当电容  $C_1$  下(上)极板为低电平时,产生的固定电流  $I$  对电容的上(下)极板进行充电,当充电电压大于片内预置参考电压  $V_{hr}$  时,RS 触发器翻转. 翻转后,由于电容两端电压不能突变及  $N_2(N_1)$  漏端与衬底之间寄生二极管的存在,使电容下(上)极板电压不能瞬间变为  $V_{hr}$ ,而是从一个负电压  $V_{lr}$  (大小近似为寄生二极管的正向导通电压)逐渐上升到  $V_{hr}$ . 电路如此循环工作,在输出端产生振荡信号. 电容两端电压的变化量为  $V_{hr} - V_{lr}$ . 考虑  $N_1, N_2$  工作在线性区的导通电阻( $R_{N1,2}$ ),则有

$$(V_{hr} - V_{lr}) - I \cdot R_{N1,2} = \frac{1}{C_1} \int_0^{T_c} I \cdot dt = \frac{I \cdot T_c}{C_1}. \tag{2}$$

式(2)中: $T_c$  为电容上(下)极板的充电时间; $I$  为总的充放电电流; $C_1$  为外接电容. 由式(2)整理得

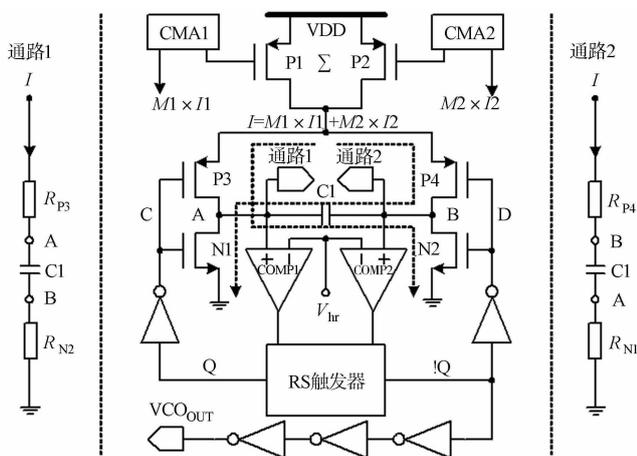


图 2 VCO 核心电路

Fig. 2 VCO core circuit

$$T_c = C1 \cdot [(V_{hr} - V_{lr}) - I \cdot R_{N1,2}] / I. \quad (3)$$

由式(3),考虑充放电控制电路的延时( $T_{pd}$ ),一个振荡周期内包含了两个充电周期,因此,可得 VCO 振荡频率为

$$f_{osc} = 1 / (2T_c + 2T_{pd}). \quad (4)$$

图3为 A,B,VCO<sub>OUT</sub>节点的波形图.图3中:NOTE由 N1,N2 导通时的电阻造成,大小近似为  $I \times R_{N1,2}$ .

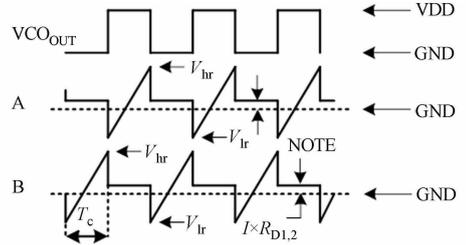


图3 VCO 输出波形

Fig. 3 Output waveform of VCO

### 3 电路仿真结果

电路采用 CSMC 0.6  $\mu\text{m}$  CMOS 工艺进行设计,采用 Spectre 对电路进行仿真.电源电压为 4.5 V,控制电压 VCO<sub>IN</sub>为 1.5 V,外接电阻、电容分别为:R1=3 k $\Omega$ ,R2= $\infty$ ,C1=40 pF.仿真波形如图4所示.由图4可知:振荡电容充放电幅值可达 1.6 V,振荡周期为 22 MHz.

电源电压为 5 V,输出频率为 0.79,24,30 MHz 时的相位噪声仿真图,如图5所示.由图5可知:相位噪声分别为 -128, -122, -120 dBc  $\cdot$  Hz<sup>-1</sup>@1 MHz,适用于一般数据通信领域.

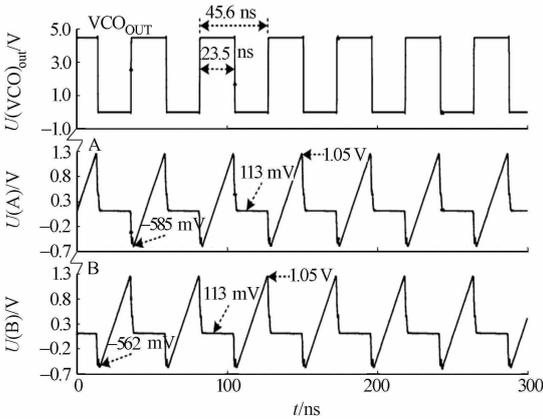


图4 VCO 输出波形仿真图

Fig. 4 Simulation result of VCO output waveform

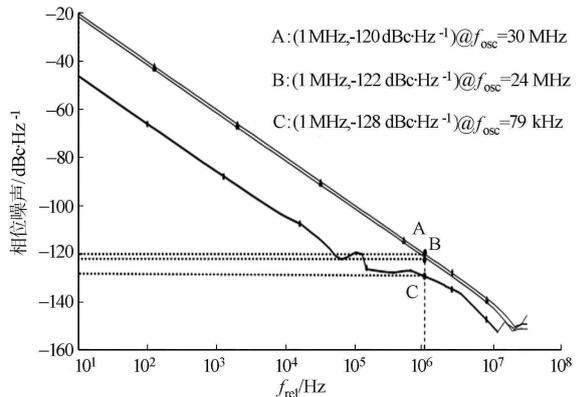


图5 相位噪声仿真结果

Fig. 5 Simulation result of phase noise

相关文献中不同振荡器的相位噪声,如表1所示.由表1可知:提出的电路结构在相位噪声方面具有很好的性能.

表1 不同振荡器的性能比较

Tab.1 Performance comparison of different oscillator

文献	工艺	U/V	功耗	相位噪声@1 MHz	f <sub>out</sub>
文献[9]	0.35- $\mu\text{m}$ CMOS	1.8~3.0	180 $\mu\text{W}$ @ f <sub>out</sub> =30 MHz 60 $\mu\text{W}$ @ f <sub>out</sub> =10 MHz	-96 dBc $\cdot$ Hz <sup>-1</sup> @ f <sub>out</sub> =30 MHz	2.0~100.0 MHz
文献[10]	0.25- $\mu\text{m}$ CMOS	3.3	49.5 mW@f <sub>out</sub> =24 MHz	-140 dBc $\cdot$ Hz <sup>-1</sup> @ f <sub>out</sub> =24 MHz	0.5~480.0 MHz
文献[11]	0.18- $\mu\text{m}$ CMOS	1.8~3.0	37 $\mu\text{W}$	-116 dBc $\cdot$ Hz <sup>-1</sup>	79 kHz
文中	0.60- $\mu\text{m}$ CMOS	3.0~6.0	27 mW @ f <sub>out</sub> =24 MHz 33 mW @ f <sub>out</sub> =30 MHz 53 $\mu\text{W}$ @ f <sub>out</sub> =79 kHz	-120 dBc $\cdot$ Hz <sup>-1</sup> @ f <sub>out</sub> =30 MHz -128 dBc $\cdot$ Hz <sup>-1</sup> @ f <sub>out</sub> =79 kHz	100.0~3.0 $\times$ 10 <sup>7</sup> MHz

为得到 VCO 环路延时,设定与图4相同的仿真条件,仿真图如图6所示.由图6可知:振荡周期只与充电时间有关,这样减小了放电延时对振荡器非线性造成的影响.当输出频率为 22 MHz 时,一个振荡周期内的环路延时仅为 2.8 ns,相对传统单电容结构的振荡器延时减小了一倍,提高了线性度.

为验证提出的 VCO 在不同电源电压及外接电阻电容下具备高线性特性,分别选取的电源电压为 3.0,4.5,6.0 V 进行多组仿真,VCO 输出频率与 C1 及 R1 的关系,如图7所示.由图7可知:该电路在不同电源电压及外接电阻电容下具有高线性特性.

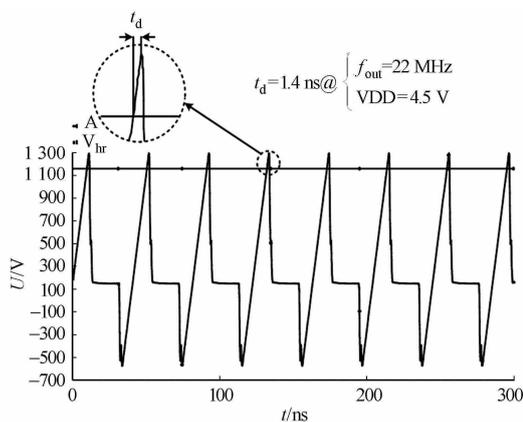


图 6 VCO 环路延时仿真

Fig. 6 Simulation result of  
VCO loop delay

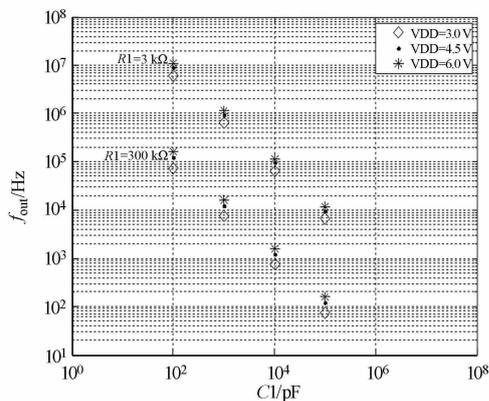
图 7 VCO 输出频率与  $C1$  及  $R1$  的关系图

Fig. 7 Relationship of VCO output  
frequency with  $C1$  and  $R1$

## 4 结束语

介绍了 VCO 电路的基本原理, 重点分析了时钟抖动和延时对电路造成的影响. 电路采用浮空电容结构, 相比传统接地电容结构, 提高了电容充放电幅值, 减小了时钟抖动. 电路采用 CSMC  $0.6 \mu\text{m}$  CMOS 工艺设计, 简单的振荡环路使输出频率为 22 MHz 时, 一个周期内的延时只有 2.8 ns. 输出频率为 0.79, 24, 30 MHz 时, 振荡器的相位噪声分别为  $-128, -122, 120 \text{ dBc} \cdot \text{Hz}^{-1} @ 1 \text{ MHz}$ .

## 参考文献:

- [1] 池保勇, 余志平, 石秉学. CMOS 射频集成电路分析与设计[M]. 北京: 清华大学出版社, 2006: 406-412.
- [2] GIERKINK S L J, VAN TUIJ E. A coupled sawtooth oscillator combining low jitter with high control linearity[J]. IEEE Journal of Solid-State Circuits, 2002, 37(6): 702-710.
- [3] ORTIGUEIRA E, RABUSKE T, BICAOLIVEIRA L, et al. Quadrature relaxation oscillator with FoM of -165 dBc/Hz[C]//International Symposium on Melbourne. Victoria: IEEE Press, 2014: 1372-1375.
- [4] DENIER U. Analysis and design of an ultralow-power CMOS relaxation oscillator[J]. IEEE Trans Circuit Syst I Regul Pap, 2010, 57(8): 1973-1982.
- [5] CAO Ying, LEROUX P, COCK W D, et al. A 63 000 Q-factor relaxation oscillator with switched-capacitor integrated error feedback[C]//Solid-State Circuits Conf. San Francisco: IEEE Press, 2013: 186-187.
- [6] LASANEN K, Kostamovaara. A 1.2-V CMOS RC oscillator for capacitive and resistive sensor applications[J]. IEEE Transactions on Instrumentation and Measurement, 2008, 57(12): 2792-2800.
- [7] TOKUNAGA Y, SAKIYAMA S, MATSUMOTO A, et al. An on-chip CMOS relaxation oscillator with power averaging feedback using a reference proportional to supply voltage[C]//Solid-State Circuits Conf. San Francisco: IEEE Press, 2009: 404-405.
- [8] 杨光义, 闫燕莺, 熊颺, 等. 锁相环调频发射接收系统[J]. 实验技术与管理, 2014, 31(10): 123-127.
- [9] UENO K, ASAI T, AMEMIYA Y. A 30-MHz, 90-ppm/ $^{\circ}\text{C}$  fully-integrated clock reference generator with frequency-locked loop[C]//European Solid-State Circuits Conference. Athens: IEEE Press, 2009: 392-395.
- [10] MCCORQUODALE M S, PEMIA S M, ODAY J D, et al. A 0.5-to-480 MHz self-referenced CMOS clock generator with 90 ppm total frequency error and spread-spectrum capability[C]//Solid-State Circuits Conference. San Francisco: IEEE Press, 2008: 350-619.
- [11] ZHOU Lili, YANG Lijie, YE Le, et al. A 79 kHz, 24 ppm/ $^{\circ}\text{C}$ , on-chip CMOS relaxation oscillator with a combination of pre-checking compensation and integral feedback[C]//12th IEEE International Conference on Solid-State and Integrated Circuit Technology. Guilin: IEEE Press, 2014: 28-31.

(责任编辑: 陈志贤 英文审校: 吴逢铁)