

采用 DSP+FPGA 的三轴运动控制器设计

何远松，谢明红

(华侨大学 机电及自动化学院, 福建 厦门 361021)

摘要: 为了满足开放式数控系统的需求,设计了一种基于 TMS320F28335 浮点型数字信号处理器(DSP)和 EP2K8F256C6 现场可编程门阵列(FPGA)的通用三轴运动控制器.详细介绍该运动控制器的整体结构、硬件电路设计、插补算法、FPGA 各分模块的构成及实现,并给出了相关设计的软件结构框图.该控制器具有结构简单、通用性强、模块化高等特点,能够很好地满足运动控制系统的实时性和精确性.

关键词: 运动控制; PCI; 数字信号处理器; 现场可编程门阵列; 插补算法

中图分类号: TH 39

文献标志码: A

运动控制器是上位机与驱动器之间的一座桥梁,它的性能很大程度上决定了整个数控系统的性能。“PC+运动控制器”的开放式数控技术已成为运动控制领域的主流方向^[1],它由通用 PC 机发出控制指令,专用运动控制器接收指令完成具体功能.随着数控技术的飞速发展,运动控制器的处理单元由单片机、专用芯片(ASIC),发展到了数字信号处理器(DSP)和现场可编程门阵列(FPGA)组成的高性能处理器^[2-4].DSP 的哈佛总线结构、多流水线指令结构,特别适合数据量大、计数复杂、实时性要求高的场合;FPGA 的硬件可重构性强、设计灵活、I/O 口众多,可方便接口模块扩展,减轻了 DSP 负担.DSP+FPGA 结构已成为大多数高性能开放式运动控制器的主流设计方向.本文设计了一种以浮点型数字信号处理器 TMS320F28335 为主控制器和 EP2K10K100-10 为协处理器的通用三轴运动控制器.

1 整体结构设计

图1为三轴运动控制器的系统框图. PC机作为上位机,运动控制器作为下位机,二者通过PCI接口芯片和双口RAM进行通讯. PC机发送控制命令,通过PCI接口芯片传送到公共存储器——双口RAM中;然后,DSP程序从双口RAM中读取指令或数据,结合FPGA反馈的编码器信号对电机的速度和位置进行规划(包括伺服滤波、速度曲线规划、粗插补运算等);最后,FPGA根据DSP传送来的数据完成精插补后,经D/A模块发送模拟量信号或经变频器,从而实现电机的速度模式控制和位置

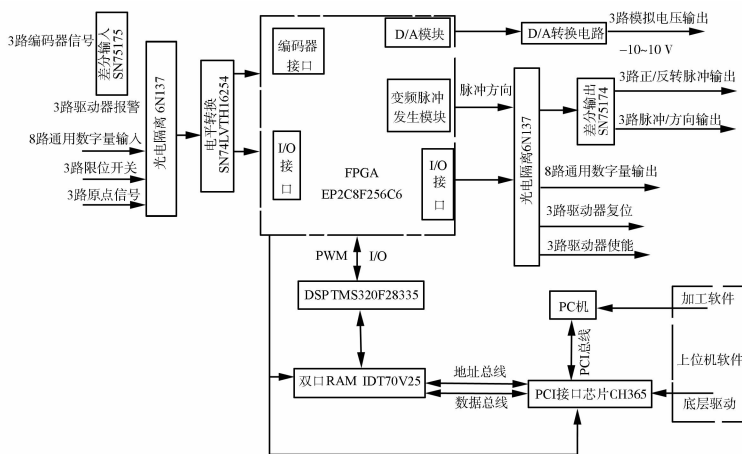


图 1 三轴运动控制器的系统框图

Fig. 1 System block diagram of three-axis motion controller

经 D/A 模块发送模拟量信号或经变频脉冲发生模块输出脉冲/方向信号到各个电机轴的伺服驱动单元,从而实现电机的速度模式控制和位置模式控制.

8 路通用数字输入、输出信号,3 个驱动器的控制信号以及限位、报警信号都通过 FPGA 的 I/O 口设计完成,以减轻 DSP 开销。同时,FPGA 还承担 PCI 接口芯片的数据扩展,以及双口 RAM 的端口伸

收稿日期: 2013-05-20

通信作者: 谢明红(1968-),男,研究员,主要从事 CAD/CAM 和计算机视觉的研究. E-mail: xmh@hqu.edu.cn.

基金项目：福建省科技计划重大项目(2010H6016)

裁功能. 整个控制器的输入输出信号(模拟电压输出部分除外)都采用光电隔离,以增强抗干扰能力,提高系统稳定性. DSP 和 FPGA 的 I/O 电平都为 3.3 V,通过 DSP 的 I/O 对 FPGA 内部的各模块地址空间进行统一编址,采用 SN75174 芯片完成单极性信号转差分信号,采用 SN75175 芯片完成差分信号转单极性信号. SN74LVTH16254 完成 3.3~5.0 V 电平转换,高速光耦 6N137 实现输入与输出隔离.

2 硬件设计

2.1 PCI 接口

连接 PCI 总线的接口芯片采用江苏南京沁恒电子有限公司的 CH365. 它将 32 位 PCI 总线转换为类似于 ISA 总线的 8 位主动并行接口,使用方法简单,非常适合用于短周期 PCI 接口卡制作. CH365 支持以字节、字或双字为单位的 I/O 段口或存储器读写,存取速度高达 7 MB,其接口框图如图 2 所示.

由于 CH365 地址总线为 16 位、数据总线为 8 位,而 IDT70V25 地址总线为 13 位、数据总线为 16 位,所以需对 CH365 进行数据总线扩展. 其基本思想:CH365 对 IDT70V25 进行读数据时,双口 RAM 的高 8 位数据直接读入 CH365 中,低 8 位数据锁存在 FPGA 中,下一时序再将低 8 位数据从 FPGA 中读入 CH365;CH365 对 IDT70V25 进行写操作时,低 8 位数据先锁存在 FPGA 中,下一时序写高 8 位数据时,使能 FPGA 中的低 8 位数据输出信号,将 16 位数据一起写入 IDT70V25 中,如图 3 所示.

用 FPGA 实现锁存器,CH365 的地址线 A0 用作使能信号,完成 16 位数据分时读写. CH365 读时,A0 为高电平,高 8 位数据直接读取,低 8 位锁存到 U1;CH365 再读一次时,A0 变为低电平,RAM_CE 为高电平(无效),U1 中锁存的低 8 位数据送入 CH365. CH365 写时,A0 为低电平,低 8 位数据锁存到 U2;CH365 再写一次时,A0 变成高电平,RAM_CE、U2 使能及 OEN 信号同时有效,高 8 位数据连同 U2 中锁存的低 8 位数据一起写入双口 RAM. U1 用于读时的低 8 位数据锁存,U2 用于写时的低 8 数据位锁存;先读高 8 位再读低 8 位,先写低 8 位再写高 8 位.

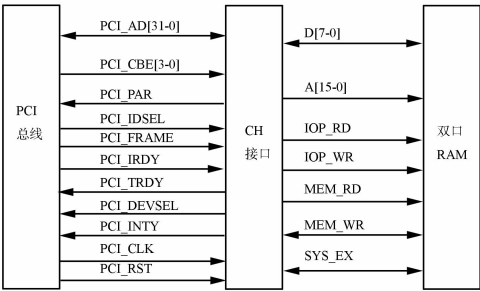


图 2 CH365 接口框图

Fig. 2 Interface block diagram of CH365

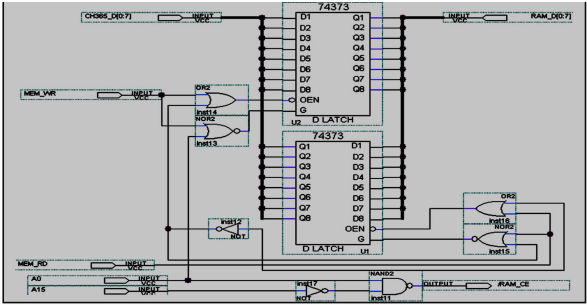


图 3 CH365 数据总线扩展配置图

Fig. 3 Data bus extension configuration diagram of CH365

2.2 双口 RAM

双口 RAM 具有两路完全独立的端口,每个端口都有独立的地址、数据和控制线,允许两个端口同时读/写数据,但不允许 2 端口同时写或一读写同一地址单元,否则会发生竞争现象^[5]. 本设计选用 8 kB×16 B 的 IDT70V25 高速双口 RAM,工作电压 3.3 V,数据存取时间高达 20 ns.

由于 CH365 没有 READY 信号线,需要引入仲裁逻辑控制模块解决地址竞争问题. 常用的方法有:令牌传递法、基于邮箱机制的 INT 中断法和插入等待周期的 BUSY 法等^[6]. 本设计采用基于邮箱机制的 INT 中断法解决双口 RAM 地址的竞争问题. 基本原理:

在 IDT70V25 中定义存储单元 0000H 为双口 RAM 与 CH365 通信端口的中断标志邮箱,8000H 为双口 RAM 与 DSP 通信端口的中断标志邮箱,其硬件原理如图 4 所示. 当 CH365 向左端口写地址单元 0000H 时(CEL=R/WL=VIL),通过 FPGA 逻辑实现 INTR(DSP 中断)为低,可向 DSP 发送中断清

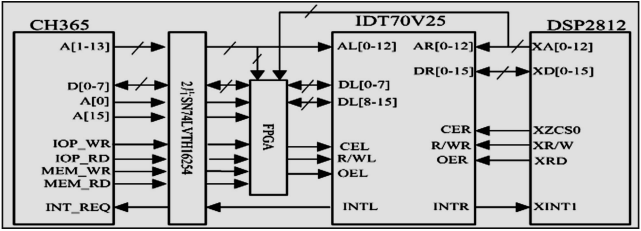


图 4 双口 RAM 硬件原理图

Fig. 4 Hardware schematics of dual-port RAM

求;当 DSP 访问 0000H 时($CER=OER=VIL$),无论读写都可以清除中断标志 INTR. 同理,当 DSP 写地址单元 8000H 时,INTL(CH365 中断)为低,可向 CH365 发送中断请求;当左端口访问 8000H 时,INTL 为高,复位 DSP 发出的中断请求. 申请中断时向邮箱写入 1,清除中断时向邮箱写 0;当信箱内容为 1 时,表示正在使用该方端口;当信箱内容为 0 时,表示该端口使用结束.

2.3 DSP 系统及其外围电路

DSP 采用美国 TI 公司生产的 32 位浮点型处理器 TMS320F28335. 该处理器采用高性能静态 CMOS 技术,最高主频 150 MHz,2 个独立的正交编码电路(QEP),12 个可配置外部中断^[7].

DSP 外围电路主要包括以下 4 个部分. 1) SRAM 扩展. 采用美国 ISSI 公司的 IS64LV51216 芯片,作为程序运行空间和数据空间. IS64LV51216 访问周期 8 ns,满足 F28335 最小周期下的访问要求. 2) Flash 扩展. 选用美国 SST 公司的 39VF800A 芯片,存储空间 512 kB×16 B,读速度高达 70 ns,工作电压 2.7~3.6 V. 3) 电源电路. F28335 的 I/O 口工作电压 3.3 V,内核工作电压 1.8 V,要求 I/O 先于内核上电,选用 TPS767D318 专用芯片并确保了上电次序^[8]. 4) 与 FPGA 的连接. 将 F28335 的 16 位数据总线 XD[0:15]、低 15 位地址总线 XA[0:14]、片选信号 $\overline{XZCS0AND1}$ 、读写控制 \overline{XWE} 和 \overline{XRD} 连接到 FPGA 的 I/O 口. FPGA 内部建有两个 FIFO,一个向 DSP 发送数据,一个用于接收 DSP 发送来的数据. F28335 如同访问其内部的外设寄存器一样访问 FPGA,其片外存储空间使用如表 1 所示.

2.4 FPGA 模块及相关电路

FPGA 选择美国 Altera 公司的 Cyclone II 系列的 EP2C8F256C6,包含 2 个锁相环(PLL)、8 个全局时钟、8 256 个逻辑单元、182 个 I/O 口.

2.4.1 变频脉冲发生模块 变频脉冲发生模块主要产生脉冲控制信号,完成精插补功能. 该电路模块由时序发生电路和数值分析法(DDA)积分器电路组成,如图 5 所示. 时序发生电路包括分频器和计数器两个部分,分频器根据 DSP 提供的分频系数对 FPGA 时钟信号进行分频,分频后的信号送给 DDA 积分电路,作为 DDA 积分器的累积时钟信号;计数器对累加时钟进行计数,用于当前插补周期插补终点的判断,当前插补周期的各轴进给脉冲溢出时,计数器会向 DSP 发送一个中断请求信号,停止本次精插补并加载下一周期精插补数据^[9]. DDA 积分器电路主要由累加器、被积函数寄存器和脉冲输出控制器组成. 被积函数寄存器存放终点坐标,累加器存放累加值,累加器每溢出一次产生一个脉冲信号,脉冲输出控制器控制脉冲信号以脉冲/方向或者正/反转方式输出;累加器溢出的频率,即为电机驱动脉冲的频率. 每一个进给轴对应一个 DDA 积分器,每个 DDA 积分器的原理相同.

2.4.2 编码器接口模块 采用增量式光电编码器作为检测反馈元件,根据其旋转方向由可逆计数器对脉冲进行加减计数. FPGA 的编码器接口模块主要由 4 倍频及鉴相电路、可逆计数器和位置寄存器组成,可逆计数器根据 4 倍频及鉴相电路的方向信号对计数脉冲进行加计数或减计数,计数结果保存在位置寄存器中,以供 DSP 读取或清零. 4 倍频细分及鉴相电路的原理和时序仿真,分别如图 6,7 所示.

由于 FPGA 不能直接处理差分信号,所以编码器的反馈信号需经 SN75175 将差分信号转换为单极性信号,再经光电隔离和电平转换后输入到 FPGA 中. 编码器反馈的差分信号 1A+,1A- 转换为单极信号 1A,经光耦 6N137

表 1 TMS320F28335 芯片
外存储空间分配表

Tab. 1 External memory space
allocation table of TMS320F28335

物理空间	功能
XINTF0	FPGA
XINTF1	双口 RAM
XINTF2	SRAM 扩展
XINTF6	保留
XINTF7	保留

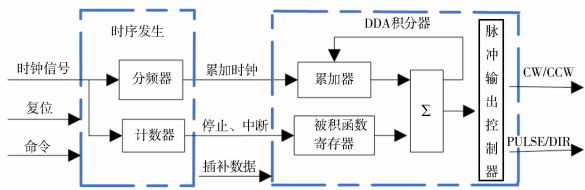


图 5 变频脉冲发生模块原理图

Fig. 5 Module schematic of frequency pulse

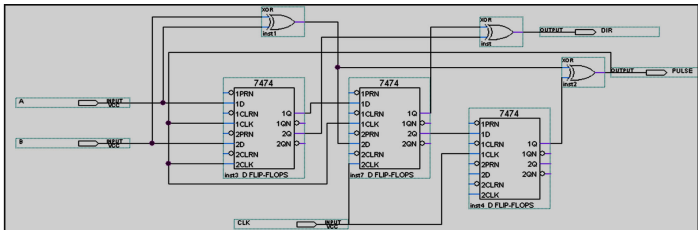


图 6 4 倍频细分及鉴相电路原理图

Fig. 6 Schematics of four interpolated and phase circuit

隔离输出 Fback_M1A 信号到电平转换芯片(图 7)。

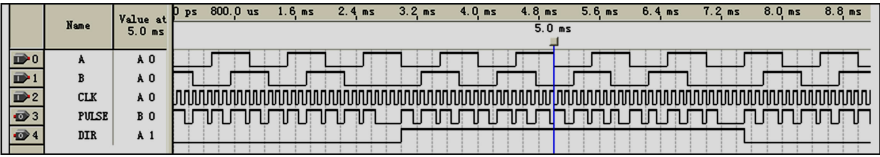


图 7 4 倍频细分及鉴相电路时序仿真图

Fig. 7 Timing simulation diagram of four interpolated and phase circuit

2.4.3 DA 转换电路 FPGA 输出的是数字信号,为实现模拟电压输出,需要 DA 转换芯片. DA 选用美国 AD 公司推出的 16 位并行高性能模数转换器 AD669,它在单片芯片上包含双缓冲锁存,转换锁存的脉冲宽度为 40 ns,输出电压极性有 0~10 V 或-10~+10 V 表 2 AD669 的控制逻辑真值表 可选,且电压幅值可编程,在整个工作温度区域内具有±1 LSB 的最大线性误差,总的谐波失真加噪声为 0.009%.

AD669 的控制逻辑真值,如表 2 所示. \overline{CS} 和 \overline{LI} 控制第一级锁存器,当 \overline{CS} 和 \overline{LI} 都为低电平时,数据进入第一级锁存器;当其中一个控制信号返回到高电平时,进入第一级锁存器的数据被锁存. LDAC 控制第二级锁存器,当 LDAC 为高电平时,数据进入第二级锁存器;当 LDAC 回到低电平后,进入第二级锁存器的数据被锁存. 本设计需要 3 个 AD669 芯片. 将每个轴的 AD669 的第一缓存器单独控制,3 片 AD669 的 LDAC 引脚连接到 FPGA 的同一个 I/O 端口上,每个轴的输出数据首先锁存到各自 AD669 的第一级缓存器中,等到数据传输完毕后使能 LDAC,同时开启每个轴的第二级缓存器,即可实现多轴联动控制^[12].

Tab. 2 Logic control truth table of AD669

\overline{CS}	\overline{LI}	LDAC	操作
0	0	X	第一级锁存器使能
X	1	X	第一级锁存器锁存
1	X	X	第一级锁存器锁存
X	X	1	二级锁存器使能
X	X	0	二级锁存器锁存
0	0	1	所有锁存器透明

3 软件设计

3.1 插补算法

插补是实现运动轨迹控制的核心,常用的插补方法有两类:脉冲增量插补法和数据采样插补法. 常用的脉冲增量插补算法有逐点比较法、DDA 等. DDA 插补算法运算速度快,脉冲分配均匀,易于实现多轴联动控制,应用比较广泛^[11]. 数据采样插补法的过程一般分两步完成. 第一步是粗插补,在给定曲线的起点与终点间插入若干个插点,首尾连接这些点,用这些微小直线段来逼近给定曲线;第二步为精插补,对粗插补中的每个微小直线段进行密化,相当于直线的脉冲增量插补^[12].

本设计采用时间分割法完成粗插补,DDA 完成精插补,粗插补在 DSP 中实现,精插补在 FPGA 中实现. 时间分割法插补算法的具体实现是根据工件的进给速度 F ,以插补周期 T 为时间单位,将整段加工过程 L 分割成许多小段 ΔL ,并将其分解到各个坐标轴,得到本周期内各轴方向的进给量;然后,根据不同插补类型和已知插补点坐标,计算出下一个插补周期的插补点坐标. FPGA 接收 DSP 运算的各轴进给量,采用 DDA 插补算法转换为正负进给脉冲信号或者脉冲/方向信号,完成各轴进给量也即小段直线 ΔL 插补完成. 如此循环,直到整段加工过程 L 完成后,开始下一过程加工. 整个插补软件流程,如图 8 所示.

3.2 上位机与控制器通讯

CH365 芯片提供了基于 DOS 的开源驱动函数库(CH365dos.c 和 CH365dos.h)和基于 Windows 的驱动程序及动态链接库. 在 DOS 和 Windows 9X 操作系统下,采用 VC++ 6.0 开发程序时可直接调用 CH365dos.c 中的函数,实现对控制器的驱动和控制. 在 Windows 2000/XP 系统下,首先安装 CH365 驱动程序 CH365WMD.INF,正确安装好驱动后,在程序中添加 CH365DLL.H 头文件,

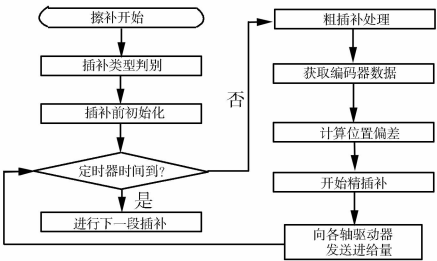


图 8 运动控制器插补软件流程图

Fig. 8 Software flow chart of motion controller interpolation

并把 CH365DLL.H 文件拷贝到程序的工程目录下,调用 CH365DLL 中封装的相应函数库即可实现 PC 机与运动控制器的通信。

4 结束语

设计一种基于 DSP 和 FPGA 的通用三轴运动控制器硬件平台,并完成了相应软件的设计与实现,并在研华 610G 工控机、安川 Σ -V 驱动器、安川 SGMJV-08ADD6S 伺服电机得到应用.该控制器采用高性能浮点 DSP 提高了数控加工精度;结合时间分割法和数值积分法插补算法,缩短了伺服周期,提高了加工速度和多轴联动控制难度;采用 FPGA 模块化设计增加了系统设计的灵活性和开发性.此外,由于选用了国产 CH365 接口芯片,在满足 PCI 高速通讯的同时,也降低了设计成本。

参考文献:

[1] XU Xiao-ming,LI Yi,SUN Ji-hong,et al. Research and development of open CNC system based on PC and motion controller[J]. Procedia Engineering,2012,29:1845-1850.

[2] 张崇巍,李汉强.运动控制系统[M].武汉:武汉理工大学出版社,2002:85-98.

[3] KEMAL M C. TOMIZUKA M. Friction modelling and compensation for motion control using hybrid neural network models[J]. Engineering Applications of Artificial Intelligence,2007,20(7):898-911.

[4] 舒志兵.交流伺服运动控制系统[M].北京:清华大学出版社,2006:144-145.

[5] 李新建.基于 PCI 总线的多轴运动控制卡的设计[D].南京:南京航空航天大学,2007:20-21.

[6] 李新建,薛重德,张志林.用 CH365 实现 PCI 总线与 DSP 的通信[J].单片机与嵌入式系统应用,2006(12):25-28.

[7] Texas Instruments. Literature number: SPRZ272E TMS320F2833X, TMS320F2823X digital signal controllers (DSCs) data manual[S]. Texas:Texas Instruments Incorporated,2007:35-45.

[8] 申子星,冯丽辉.基于 DSP 的供电电源电路设计[J].昆明理工大学学报:理工版,2005,30(5A):219-221.

[9] 张宇.基于 DSP 和 FPGA 的运动控制卡的研究与设计[D].南京:南京航空航天大学,2007:44-46.

[10] 石江华.基于 DSP 与 FPGA 的四轴运动控制器设计与研究[D].北京:北京邮电大学,2012:30-31.

[11] 李恩林.数控系统插补原理通论[M].北京:国防工业出版社,2008:75-78.

[12] 李斌,李曦.数控技术[M].武汉:华中科技大学出版社,2011:104-105.

Design of Three-Axis Motion Controller Based on DSP and FPGA

HE Yuan-song, XIE Ming-hong

(College of Mechanical Engineering and Automation, Huaqiao University, Xiamen 361021, China)

Abstract: In order to meet the demand of open CNC system, a general three-axis motion controller was designed based on TMS320F28335 floating-point digital signal processor (DSP) and EP2C8F256C6 field programmable gate array (FPGA). The overall structure of motion controller, the design of hardware circuits, the interpolation algorithm as well as the composton and realization of FPGA modules were introduced in details, and the relevant design software structure diagram was presented accordingly. The motion controller has the characteristics of simple framework, high versatility and modularization, and can well meet the real-time and the accuracy of the motion control system.

Keywords: motion control; PCI; digital signal processor; field programmable gate array; interpolation algorithm

(责任编辑: 陈志贤 英文审校: 杨建红)