

文章编号: 1000-5013(2010)03-0267-05

电流镜型二次曲率补偿的带隙基准源设计

梁爱梅^{1,2}, 凌朝东^{1,2}

(1. 华侨大学 信息科学与工程学院, 福建 泉州 362021;

2. 厦门市专用集成电路系统重点实验室, 福建 厦门 361008)

摘要: 为提高基准源的电压系数、电压调整率和电源抑制比,采用 $0.6\ \mu\text{m}$ 标准 CMOS 工艺,设计一种采用电流镜复制技术的带隙基准源。仿真结果表明,电路具有结构简单、启动性能好、电压输出灵活稳定、温度范围宽等特点,能够满足模拟集成电路的要求。在 3 种工艺角模型, $-50\sim+195\ ^\circ\text{C}$ 温度变化范围内,其温度系数约为 $1.632\times 10^{-5}\ ^\circ\text{C}^{-1}$,电源抑制比为 $-70\ \text{dB}$;而在 $4.5\sim 6.5\ \text{V}$ 的电源范围内,其电压调整率为 4.0×10^{-4} 。

关键词: 带隙基准; 曲率补偿; 平均温度系数; 电源抑制比

中图分类号: TN 431.1

文献标识码: A

基准电压源是超大规模集成电路和电子系统的重要组成部分,可广泛应用于高精度比较器、模数(A/D)和数模(D/A)转换器、随机动态存储器、闪存及系统集成芯片中.这种电路结构是目前各种基准电压源电路中性能最佳的电路形式.普通的一阶补偿带隙基准因忽略了基极-发射极电压(Base-Emitter Voltage)的高阶非线性项,其温度系数一般在 $2.0 \times 10^{-5} \sim 3.0 \times 10^{-5} \text{ } ^\circ\text{C}^{-1}$,不能满足高精度系统的设计要求.因此,为了得到温度系数更好的基准电压,需要对带隙基准中基极-发射极电压的高阶项进行补偿.传统的带隙基准源电路中存在运算放大器,其性能指标在很大程度上受到运放的失调电压、电源电压抑制比等参数的限制.为此,本文提出了一种基于 $0.6 \mu\text{m}$ 标准 CMOS 工艺,并具有二次曲率补偿技术的高性能带隙基准电压源的设计方法.

1 传统带隙基准电压源

带隙基准的目的,就是产生一个对温度变化保持恒定的量.其主要的方式是,由于双极型晶体管的基极-发射极电压 V_{BE} 具有负的温度系数,而两个有不同电流密度的双极型晶体管的基极-发射极电压差 V_{BE} 具有正温度系数,以合适的系数 m 与前者进行加权^[1-2].即

$$V_{\text{ref}} = V_{\text{BE}} + mV.$$

从而在一定范围内抵消温度漂移特性,得到低温漂移的输出电压^[3~4]. 其具体原理如图 1 所示. 图 1 中: $R_1 = R_2$, Q_2 的发射区面积是 Q_1 的 N 倍.

若不考虑运放的输入失调电压, 则有 $I_1 \times R_1 = I_2 \times R_2$, 而且 $V_{eb,1} = V \ln(I_1/I_{S1})$, $V_{eb,2} = V \ln(I_2/I_{S2})$. 即

$$V_{eb,1} - V_{eb,2} = V \ln(I_1/I_2) \times (I_{s_1}/I_{s_1}) V \ln N. \quad (1)$$

其中: I_{s_1} , I_{s_2} 分别为 Q_1 , Q_2 的饱和电流值; $V_{eb,1}$, $V_{eb,2}$ 分别

为 Q_1, Q_2 的发射极电压. 根据 $I_2 = \frac{V \ln N}{R_3}$, 可得出

$$V_{\text{out}} = V_{\text{eb},2} = (R_2 + R_3) \cdot I_2 = V_{\text{eb},2} + (1 + R_2/R_3) (V \ln N). \quad (2)$$

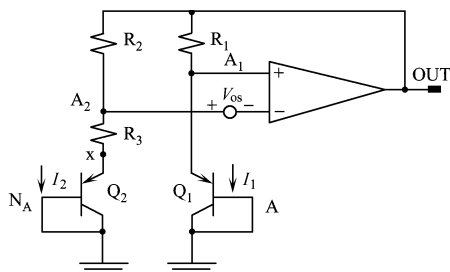


图 1 带运放的带隙基准电路
Fig.1 Circuit of bandgap reference with amplifier

收稿日期： 2008-06-25

通信作者: 凌朝东(1964-),男,教授,主要从事模拟集成电路的研究. E-mail: edac@hqu.edu.cn.

基金项目：福建省自然科学基金资助项目(T0850005)；厦门市科技计划项目(3502Z20080010)

通过选取适当的 R_2/R_3 值,可得到对温度和电源电压不敏感的电压. 如果输入失调不为零,则式(2)变为

$$V_{out} = V_{eb,2} = (R_2 + R_3) \cdot I_2 = V_{eb,2} + (1 + R_2/R_3)(V \ln N + V_{os}). \quad (3)$$

此时,基准源输出电压的电源电压抑制比完全受限于运算放大器的电源电压抑制比.

2 二阶曲率补偿技术的电路实现

2.1 曲率问题

双极型晶体管的基极-发射极电压^[3],可表达为

$$V_{BE}(\cdot) = V_G(\cdot) + [V_{BE}(\cdot_0) - V_G(\cdot_0)] \cdot \cdot / \cdot_0 + (\cdot - \cdot_0)(k/q) \cdot \ln(\cdot / \cdot_0). \quad (4)$$

上式中: $V_G(\cdot)$ 是温度为 \cdot 时硅的带隙电压; $V_G(\cdot_0)$ 和 $V_{BE}(\cdot_0)$ 分别是温度为 \cdot_0 时,硅的带隙电压和晶体管的基极-发射极电压; \cdot 是和工艺有关的参数, $\cdot = 4 - n$,而 n 是晶体管基区载流子迁移率随温度变化的指数; \cdot 是偏置电流随温度变化的指数,当偏置电流和绝对温度成正比时, $\cdot = 1$;而当偏置电流和温度无关时, $\cdot = 0$; $\ln(\cdot / \cdot_0)$ 是 V_{BE} 的非线性温度项.将式(4)用泰勒公式展开,可得到

$$V_{BE}(\cdot) = \cdot_0 + \cdot_1 + \cdot_2 \cdot^2 + \dots + \cdot_n \cdot^n. \quad (5)$$

式(5)中: $\cdot_0, \cdot_1, \cdot_2, \dots, \cdot_n$ 是相应的温度系数.从式(5)可以看出, $V_{BE}(\cdot)$ 是包含许多高阶项的关于温度的复杂函数.传统的带隙基准是对 $V_{BE}(\cdot)$ 的一阶温度系数进行的补偿,并未对高阶温度系数补偿.

2.2 电路实现

电流镜型二次曲率补偿带隙,如图2所示.由于电流镜的作用,使得 N_3 和 N_4 的源极电位相等,节点 $V_X = V_Y$,而 $R_1 = R_2$,有 $I_{1b} = I_{2b}$;流过电流镜中的电流相等,有 $I_{1a} = I_{2a}$; R_0 上的电压降等于 $V \ln(N)$,流过双极晶体管(Q_1 和 Q_2)的电流和绝对温度成正比,即 $\cdot = 1$;流过电流镜 $P_0 \sim P_3$ 的电流是一阶温度独立的,对应于 $\cdot = 0$.镜相流过电流镜的电流传到双极型晶体管 Q_3 ,从而得到 Q_1 和 Q_2 射基电压 $V_{BE}(\cdot)$.两者之差为

$$V_{NL} = -V \ln(\cdot / \cdot_0). \quad (6)$$

当 $R_3 = R_4$ 时,流过 R_3, R_4 的电流和 V_{NL} 成正比(V_{NL} 是非线性电压), $I_3 = I_4 = V_{NL}/R_3$,即非线性电流可以补偿 V_{BE} 的高阶温度项.输出基准电压可以表达为

$$V_{ref} = (I_{1a} + I_{1b} + I_3) \cdot R_5 = [(R_1/R_0) \cdot V \ln(N) + V_{BE1,2} - (R_1/R_3)V \ln(\cdot / \cdot_0)] \cdot R_5/R_1. \quad (6)$$

式(6)中: $(R_1/R_0) \cdot V \ln(N)$ 补偿 $V_{BE1,2}$ 的一阶温度项; $(R_1/R_3) \cdot V \ln(\cdot / \cdot_0)$ 补偿 $V_{BE1,2}$ 的高阶温度项.通过选择合适的 R_3, R_4 值,可得到理论上零温度系数的带隙电压.比较式(4)和式(6),可得到 $R_1/R_3 = -1$,即 $R_3 = R_1/(-1)$.

三极管 Q_1, Q_2 和 Q_3 采用的都是二极管接法的衬底PNP三极管,调节 R_5 可使输出电压在 $0 \sim 4.0$ V内连续变化.在 $-50 \sim +195$ 温度范围内,电压变化量小于 10 mV,比一般带隙工作温度($-25 \sim +125$)的范围宽很多.

2.3 启动电路

N_0, N_5, P_8 构成了启动电路.当电源上电时,如果 P_7 的栅压为零, P_3 栅压为 V_{dd} ,电路中没有电流,所有金属氧化物半导体(MOS)管都将无限期的保持关断,电路同样达到平衡状态.此种状态称为“死锁”,而这种问题被称为启动问题.该问题可以通过增加启动电路加以解决,如图2所示.

当电路进入死锁状态, P_7 的栅压为零, P_8 导通.通过对 C_0 充电,抬高 N_0 的栅压,使得电路中有电流流过,此时 N_0, N_5, P_8 截止. N_0 在设计时,应保证在整个电路正常工作时, P_7 的栅压低于 N_0 的 $V_{gs} - V_{th}$,而使 N_0 工作于截止区.

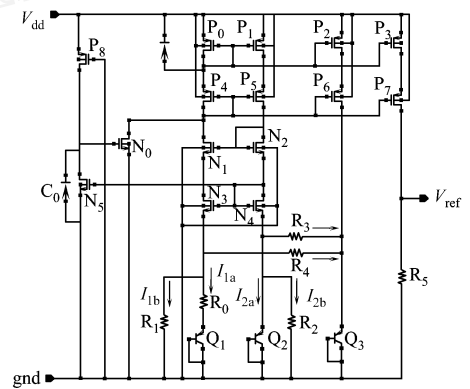


图2 电流镜型二次曲率补偿原理图

Fig. 2 Schematic diagram of current mirror type with two curvature compensater

3 带隙基准源的仿真

3.1 温度特性分析

仿真工具采用美国 CADENCE 公司的 Spectre 软件, 工艺库采用江苏无锡上华公司的 0.6 μm 标准 CMOS 工艺. 仿真中, 将温度在 $-50 \sim +195$ 范围内进行直流扫描, 考虑了管子 (TT)、电阻 (FF)、电容 (SS) 3 种模型的工艺角情况. 对基准源电路进行温度特性的直流扫描, 其输出波形如图 3 所示. 根据仿真曲线, 可以计算出 V_{ref} 的温度系数 约等于 $1.632 \times 10^{-5} \text{ }^{\circ}\text{C}^{-1}$, 比较于文[4]在 $-40 \sim +85$ 内温度系数达到 $2.9 \times 10^{-5} \text{ }^{\circ}\text{C}^{-1}$ 的设计结果, 其温度特性相对优越.

3.2 输入电压直流扫描

在 27 $^{\circ}\text{C}$ 时, 于 4.5 ~ 6.5 V 范围内对输入电源电压进行直流扫描, 获得带隙基准电压 V_{ref} 变化曲线, 如图 4 所示. 从图 4 可看出, 全电压范围内 V_{ref} 的变化为 0.8 mV, 比一般带隙扫描输出基准范围变化在几毫伏到十几毫伏要精确得多. 从仿真波形可计算出, V_{ref} 的电压调整率为 4.0×10^{-4} .

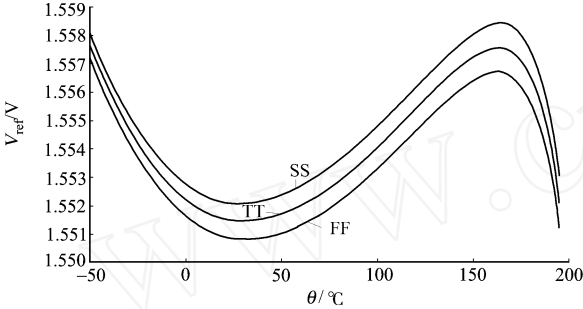


图 3 带隙基准电压随温度变化的曲线
Fig. 3 Variation of bandgap reference voltage with temperature

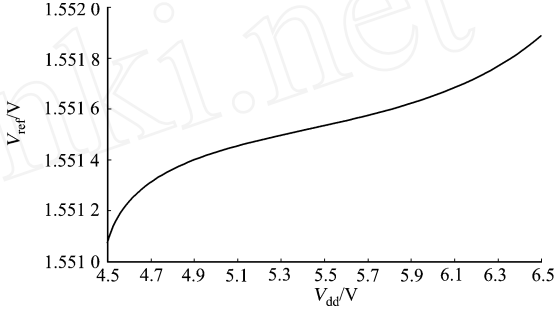


图 4 带隙基准电压随 V_{dd} 变化的曲线
Fig. 4 Variation of bandgap reference voltage with V_{dd}

3.3 电源抑制比

基准源电源抑制比 (PSRR) 仿真曲线, 如图 5 所示. 从图 5 可以看出, 低频时的电源抑制比 (r_{PSR}) 相对较高, 可以达到 -70 dB, 比文[5]中的设计增加一倍; 随着工作频率的升高, 电源抑制比也随之下降; 当频率达到 100 MHz 后, 电源抑制比 (r_{PSR}) 下降到 0 dB, 而传统带隙基准源在 10 MHz 左右电源抑制比就降为 0 dB.

3.4 启动特性

将输入电源设置成脉冲源, 观察输入电源从 0 V 突变到 5 V 时电路的启动情况, V_{ref} 的波形如图 6 所示. 从图 6 的仿真结果可看出, 大约 50 μs 后电路正常工作.

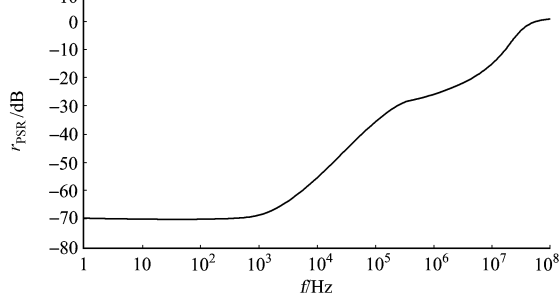


图 5 电源抑制比仿真曲线
Fig. 5 Simulation curve of PSRR

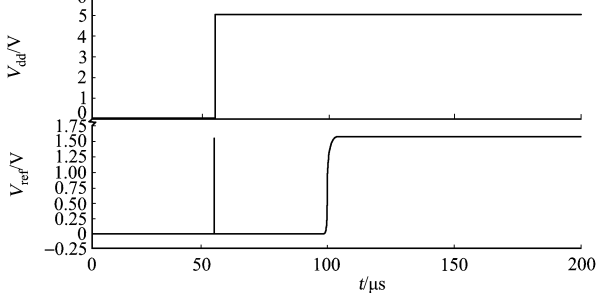


图 6 V_{ref} 的启动波形
Fig. 6 Startup curve of V_{ref}

4 版图设计

模拟电路的版图设计对电路性能的影响很大, 故设计中要特别注意器件的匹配及布局布线的合理性^[6]. 整个版图的设计是基于江苏无锡上华公司的两层多晶硅两层金属 CMOS (CSMC6S06DPDM) 工

艺. 最小尺寸为 $0.6\ \mu\text{m}$, 工作电压为 $5\ \text{V}$.

4.1 MOS 晶体管

CSMC6S06DPDM 采用的是普通结构 MOS 管, 个别宽长比较大的 MOS 开关管选用叉指状的结构. 在启动电路中, 有一个宽 $1.5\ \mu\text{m}$, 长 $604\ \mu\text{m}$ 的小宽长比 MOS 管, 其版图如图 7 所示. 由于该 MOS 管的宽长比非常小, 因此采用将有源区进行折叠的办法来增大其长度, 多晶硅栅覆盖整个有源区的折叠区域. 在计算 MOS 管宽长比时, 拐角处的有效长度可以近似为直栅部分的长度的一半.

4.2 电阻

集成电路中电阻误差很大, 因此要使 R_1 和 R_2 , R_3 和 R_4 尽可能相等, 以提高电阻比 (式 (6) 中 R_1/R_3 或 R_2/R_4) 的实现精度. 在绘制版图时, 采用等比例复制方法, 使用全相同电阻条图形, 以并联和串联的方法来实现所要求的阻值. 相邻电阻条的连接采用金属互联, 不使用拐角, 避免转角误差, 可将工艺误差控制在最小限度. 同时, 在电阻周围加上了 Dummy 电阻, 以减少环境的影响, 增强电阻匹配性.

分析工艺可知, 多晶硅 2 (高阻) 的相对精度高, 方块电阻值 ($1\ \text{k}$) 大小合适, 而且温度、电压对电阻值的影响也最小. 因此, 选用它来实现设计中的电阻, 其结构如图 8 所示. 图 8 中, 高阻挡层是用来阻挡对多晶硅 2 层的离子注入 (调整方块电阻, 使之减小), 从而实现高阻的多晶硅 2 层电阻.

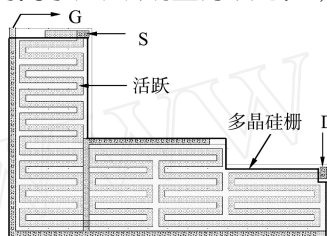


图 7 小宽长比 MOS 管版图

Fig. 7 Layout of MOS with small width and long ratio

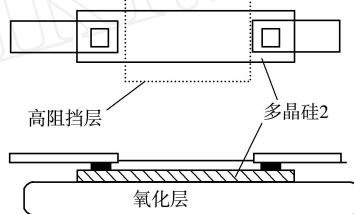


图 8 多晶硅 2 电阻结构

Fig. 8 Structure of poly 2 resistor

4.3 PNP 晶体管

在版图设计中, 使用了一种衬底 PNP 管. 它采用衬底作为集电极区, N 阱作为基区, 并利用 N 阱中的 P^+ 注入区作为发射极区, 如图 9 所示. 电路中用于实现温度补偿的关键器件是 PNP 晶体管和电阻. 在电路设计中提到, 带隙基准源电路需要两个面积比 8 : 1 的衬底 PNP 管.

在设计版图的时候, 如果纯粹将面积较大的那个管子面积设计中另外一个管子的 8 倍, 显然会带来很大的工艺偏差. 因此在具体绘制版图的时候, 先设计好面积较小的那个 PNP 管, 然后使用 8 个这样的管子并联形成面积较大的那个 PNP 管. 这样就能把工艺带来的偏差变小, 以保持它们之间面积 8 : 1 的比例关系.

4.4 总的电路版图及后仿真

图 10 为总的电路版图, 其尺寸为 $200\ \mu\text{m} \times 300\ \mu\text{m}$. 由于 P^+ 注入较浅, 只能对表面附近传播的噪声进行吸收. 为了隔离噪声, 保证输出基准电压的稳定, 在带隙基准电压源的版图外围, 除了加上 P^+ 注入保护环外, 还在 P^+ 注入保护环的外面再加一圈接正电源的 N 阱保护环, 以进一步抑制噪声, 如图 10 中的粗线框内所示.

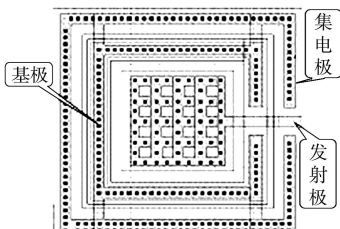


图 9 衬底 PNP 管的版图

Fig. 9 Layout of vertical PNP

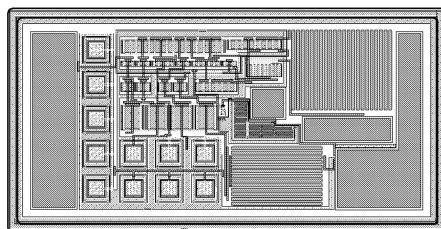


图 10 带隙基准的版图

Fig. 10 Layout of bandgap reference voltage

版图设计完成后, 可通过提取寄生参数对电路进行仿真. 其温度和电压的稳定性曲线, 如图 11 所示. 从图 11 可看出, 两种仿真结果的曲线几乎重合, 说明版图设计比较合理, 具有很好的实用性.

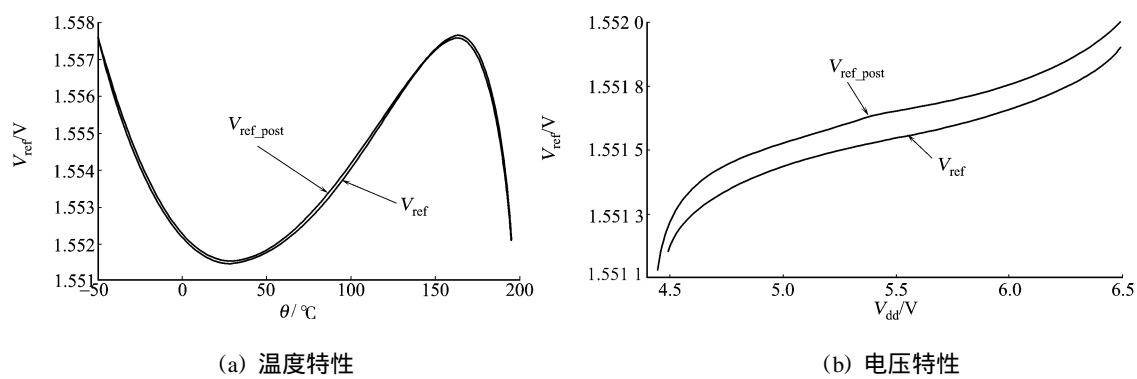


图 11 带隙基准前后仿真对比

Fig. 11 Contrast of previous simulation and post simulation

5 结束语

随着 CMOS 工艺的不断发展,器件尺寸的逐渐减小,小尺寸效应日益突出.共源共栅电流镜可很好地抑制短沟道效应的影响,改善电路的高频特性,等比例缩小电路器件尺寸,减小版图面积.因此,若用于低压小尺寸工艺,只需要改进低压偏置电路,就具有很好的实用价值.

参考文献:

[1] BEHZAD R. 模拟 COMS 集成电路设计[M]. 陈贵灿,等译. 西安:西安交通大学出版社,2002.

[2] 凌朝东,曾德友,李国刚,等. 铅酸蓄电池充电与保护集成电路的设计[J]. 华侨大学学报:自然科学版,2008,29(3):338-341.

[3] BLAUSCHILD R A, TUCCI P A, MULLER R S, et al. A new NMOS temperature stable voltage reference[J]. IEEE Journal of Solid-State Circuit, 1978, 13(12):767-774.

[4] 应建华,彭颖,陈嘉. 一种 BICMOS 带隙基准电压源的设计[J]. 华中科技大学学报:自然科学版,2006,34(3):65-67.

[5] 王新亚,解光军. 一种高精度曲率补偿 CMOS 带隙基准的设计[J]. 合肥工业大学学报:自然科学版,2007,30(12):1702-1704.

[6] HASTINGS A, HASTINGS R A. The art of analog layout[M]. New Jersey:Prentice Hall,2001.

Design of a Bandgap Voltage Reference Based a Current Mirror with Curvature-Compensated

LIANG Ai-mei^{1,2}, LIN G Chao-dong^{1,2}

(1. College of Information Science and Engineering, Huaqiao University, Quanzhou 362021, China;
2. Key Laboratory of ANSIC and System, Xiamen 361008, China)

Abstract: To improve the temperature coefficient, adjusting rate of voltage and power supply rejection ratio of bandgap voltage reference, a novel circuit using the current-replication technique is designed in 0.6 μm CMOS process. The presented circuit is simple, and has good performance on startup. Furthermore, this circuit can work well in a wide temperature range and exhibits good flexibility and stability output of voltage. All these features are satisfied the requirement of analog integrated circuit. The simulation results show that the temperature coefficient is $1.632 \times 10^{-5} \text{ } ^\circ\text{C}^{-1}$ with temperature changed from -50 to +195, the power supply rejection ratio can achieve -70 dB, and the adjusting rate of voltage is 4.0×10^{-4} with the supply voltage in the rage of 4.5 ~ 6.5 V. All these results are obtained at three different process corners (TT, FF, SS).

Keywords: bandgap reference; curvature-compensated; temperature coefficient; power supply rejection ratio

(责任编辑: 鲁斌 英文审校: 吴逢铁)