

文章编号: 1000-5013(2010)02-0162-04

脑电信号检测专用集成电路的设计

李国刚^{1,2}, 骆妙艺^{1,2}, 叶婉舟^{1,2}, 凌朝东^{1,2}

((1. 华侨大学 信息科学与工程学院, 福建 泉州 362021;

2. 厦门市专用集成电路系统重点实验室, 福建 厦门 361008)

摘要: 采用 CSMC 双层多晶、双层金属、N 阱 $0.6\mu\text{m}$ 互补金属氧化物半导体工艺, 设计一种脑电信号检测专用集成电路(ASIC). 系统包含基于斩波技术的差分差值放大器、跨导运算放大器(OTA)-C 低通滤波电路、增益调整电路、两相非重叠时钟产生电路和带隙电压基准等电路. 仿真结果表明, 输入信号在 $-0.862\sim 0.902\text{ V}$ 范围内, 输入和输出都是线性关系, 且共模抑制比可达 114 dB , 符合设计要求.

关键词: 脑电信号; 专用集成电路; 带隙基准电路; 差分差值放大器; 跨导运算放大器

中图分类号: TN 492.02 : R 741.044

文献标识码: A

近年来, 脑-机接口技术在军事等领域具有重要的应用价值, 已成为研究的热点^[1]. 脑-机接口系统信号的采集是实现脑-机接口技术极为关键的一步. 同时, 随着超大规模集成电路技术的飞速发展, 片上系统 SOC(System On a Chip) 已成为目前集成电路(IC) 设计的主流趋势. 按照 SOC 设计思想, 将脑电信号检测的电路系统整合于单一芯片, 不但减少了功耗和体积, 在使用上也将更为便利^[2]. 脑电图记录仪的发展已有数十年的历史, 但其信号微弱($5\sim 100\mu\text{V}$, $0.5\sim 40\text{ Hz}$), 极易受到内、外信号干扰的影响, 加深了信号量测的难度^[3]. 本文讨论了一种脑电信号检测芯片的设计方案.

1 系统设计方案

1.1 系统组成

提出的模拟信号处理模块, 包括带隙基准电压源、差分差值放大器、低通滤波、缓冲等子电路. 将其设计并整合于单一芯片内, 然后把这些模拟量转化成为数字量, 以便传输到计算机中进行信号处理. 该系统的框图如图 1 所示.

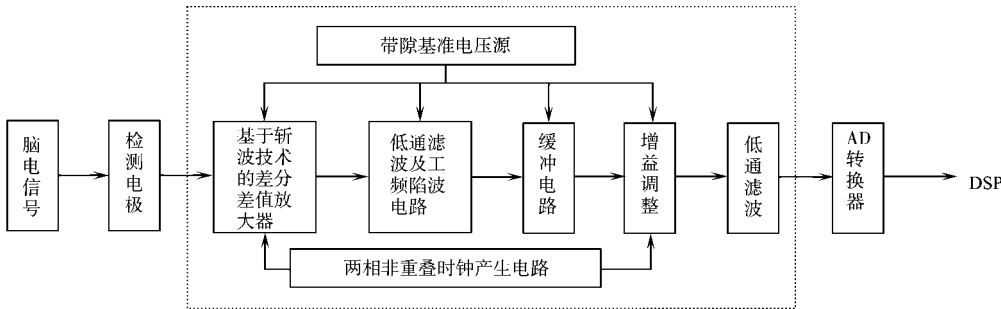


图 1 单通道脑电信号检测架构图

Fig. 1 Block diagram of single channel EEG acquisition

1.2 带隙基准电压源

带隙基准电压源电路是, 为低通滤波及时钟产生电路提供不随电源电压和环境温度变化的基准电

收稿日期: 2008-07-10

通信作者: 李国刚(1973-), 男, 副教授, 主要从事集成电路设计的研究. E-mail: lgg@hqu.edu.cn.

基金项目: 福建省自然科学基金资助项目(A0640005); 厦门市科技计划项目(3502Z20073037, 3502Z20080010)

压源. 带隙基准电压源是利用 PNP 三极管呈正温度系数的 ΔV_{be} 和呈负温度系数的 V_{be} , 按一定比例叠加, 从而得到一个温度系数基本为零的基准电压^[4]. 整个电路包含防止电路进入死锁状态的启动电路、输出- 1.224 V 的基准电压源, 以及输出所需的 1.18, 1.37, - 1.59 V 基准电压的多值偏置电路. 三极管采用的都是二极管接法的衬底 PNP 管, 以保证该电路适用于无锡上华公司 CMOS 的工艺.

由于电路里需要 3 个基准电压, 故需要在基准电压源电路后面加上多值偏置电路. 运放被接成反馈放大器的形式, 用来分开输入和输出电路, 避免多值偏置电路对带隙基准电压源电路产生不利的影响. 仿真结果表明, 当温度从 0~ 100 ℃变化时, 输出 1.18, 1.37, - 1.59 V 的 3 个基准电压的变化范围, 可以分别被控制在 0.12%, 0.41% 和 0.1% 之内; 而电源电压从 2 V 变化到 7 V 时, 输出的基准电压的变化范围, 可以分别被控制在 0.84%, 0.71% 和 0.15%.

1.3 差分差值放大器

目前, 用于检测生物电信号的前端仪表放大器的典型结构, 有三运放仪表放大器(3OIA) 和电流模仪表放大器(CMIA)^[12]. 3OIA 结构用到大量电阻, 其结构将造成晶片面积过大; 而 CMIA 电路组态中电流镜要求精确匹配, 设计难度大, 同时会出现高的 $1/f$ 噪声.

文[5]提出了一种适合检测生物电信号的基于斩波技术差分差值放大器(CHSDDA), 如图 2 所示. 差分差值放大器(DDA) 是传统运放的延伸^[6], 采用差分输入的方式, 能满足高输入阻抗、高共模抑制比(CMRR) 的要求. 调制解调电路是实现斩波技术的核心^[6], 失调的 $1/f$ 噪声被调制到高频, 与恢复信号的频谱分开. 最后, 用低通滤波器将被调制到高频的失调和噪声滤掉, 就能实现微弱信号的放大. 整个 CHSDDA 电路的仿真结果表明, 它可以大大降低失调电压、 $1/f$ 噪声, 并且能够达到低温漂和较高 CMRR 的放大功能, 适合检测微弱的生物电信号^[5].

1.4 低通滤波及工频陷波电路

由于脑电信号由 4 个频段波组成^[2], 所以低通滤波器的通带范围应为 0~ 40 Hz. 工频陷波点在 50 Hz 处, 离 40 Hz 比较近. 为了同时实现这两个功能, 需要设计出的低通滤波器, 从通带到阻带的过渡区最窄. 所以, 要使电路在 50 Hz 处能有大的衰减, 就要求一个阶数很高的滤波器. 然而, 这种高阶的滤波器会占芯片很大的面积, 不利于集成.

文[7]应用 Signal Flow Graph 滤波器设计方法, 采用可调低跨导的电路结构^[8], 完成 5 阶椭圆函数滤波器的设计, 实现了低通滤波和工频陷波的功能, 如图 3 所示. 从仿真的结果看, 滤波器的通带范围为 0.083~ 40.3 Hz, 覆盖了脑电信号的 4 个频段. 50 Hz 工频处的衰减为 58.5 dB, 实现了工频陷波的功能; 而在大于 50 Hz 的频率段内, 衰减也大于 32 dB. OTA-C 5 阶椭圆滤波器电路设计, 实现了低通和工频陷波的功能, 可适用于脑电信号的检测, 达到设计要求.

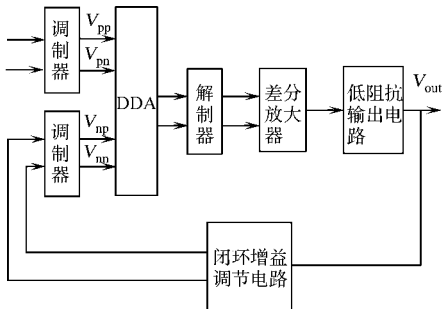


图 2 CHSDDA 电路框图

Fig. 2 Block diagram of CHSDDA circuit

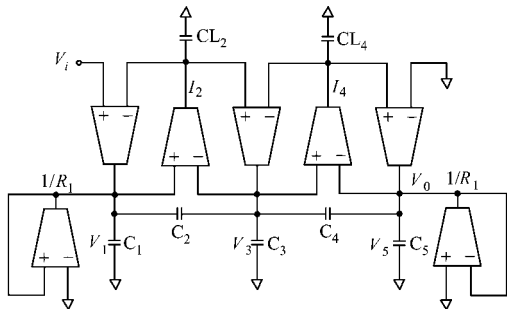


图 3 5 阶低通滤波及工频陷波电路结构

Fig. 3 Schematic of the 5th order low-pass notch filter

1.5 缓冲和时钟产生电路

缓冲电路的功能是, 隔离后级电路对前级电路的影响, 提高前级电路的输出驱动能力. 因此, 在跨导运算放大器(OTA)-C 低通滤波后加上缓冲电路. 该电路采用 PSF(Pseudo Source Follower) 结构^[9], 属于 AB 类输出, 具有静态电流小、动态电流大的特点; 同时, 其直流工作特性非常好, 输出电压摆幅几乎可以接近电源电压, 可以很好的实现隔离缓冲的功能.

两相非重叠时钟产生电路的功能框图及原理, 如图 4 所示. 由于 1 kHz 的斩波时钟信号不需要非

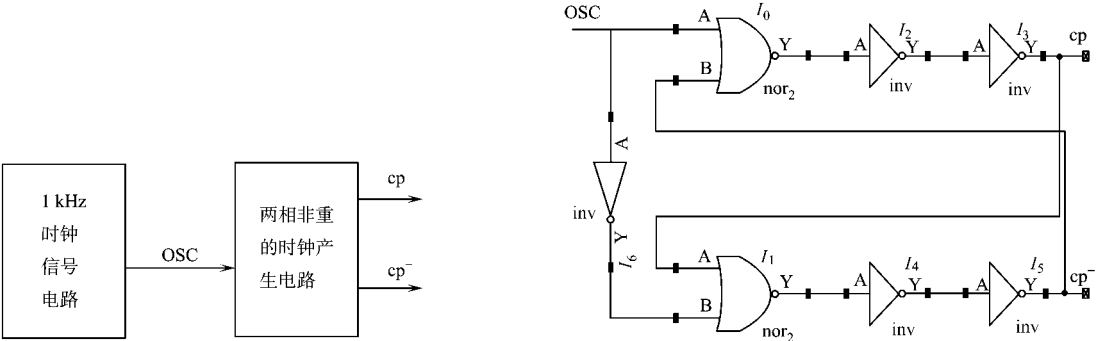


图 4 时钟产生电路结构及原理图

Fig. 4 Block diagram and schematic of the clocks

常精确的时钟频率, 故采用环形振荡电路来实现该功能. 对于非重叠时钟信号的产生, 可由逻辑电路来实现, 反向器是用来增加电路的延迟时间. 增益调整电路是将滤波后的脑电信号继续放大, 放大倍数为 200. 该电路也必须为低噪声放大器, 故也采用 CHSDDA 技术, 不再赘述.

2 仿真实验

在 Spectre 环境(Cadence 公司)下进行仿真, 对输入信号做直流(DC) 扫描. 由此可得到输入信号在- 0. 862~ 0. 902 V 范围内, 输入和输出都是线性关系, 且共模抑制比(R_{CMR}) 可达 114 dB. 室温环境下, 芯片的交流(AC) 扫描、差分放大后共模抑制比, 以及单极记录下的瞬态仿真波形, 如图 5~ 7 所示.

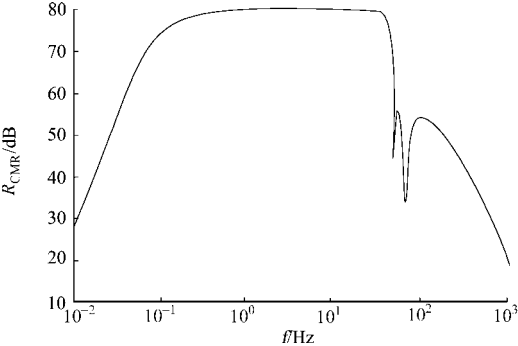


图 5 AC 扫描仿真图

Fig. 5 AC scanning simulation

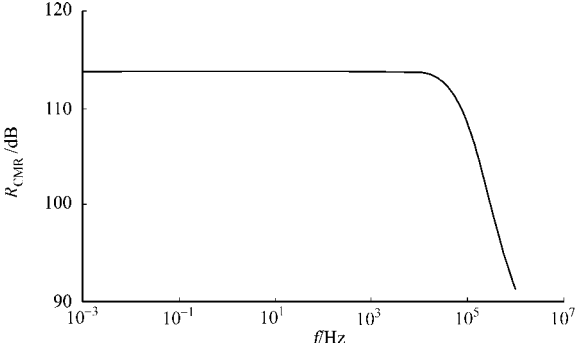


图 6 差分放大后共模抑制比仿真图

Fig. 6 Frequency response of the CMRR

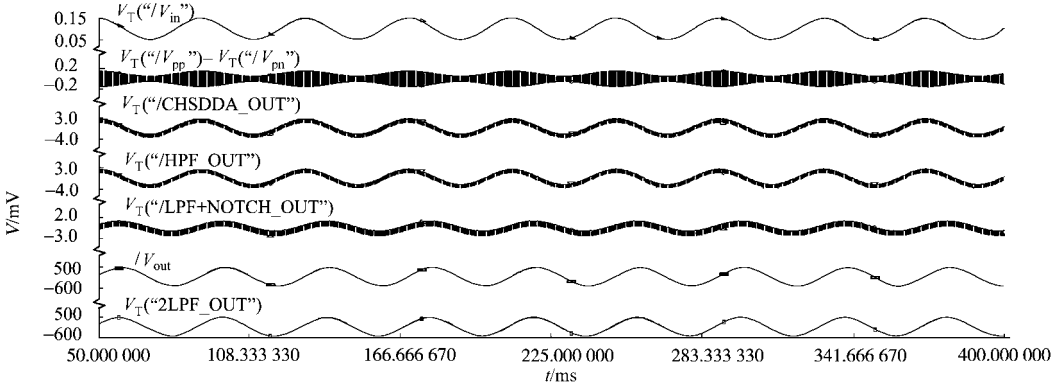


图 7 瞬态波形图

Fig. 7 Transient waveform of the whole chip

从图 5~ 7 可以看出, 所设计的脑电信号检测专用芯片的通带增益值为 80 dB, 以及 50 Hz 工频陷波点的衰减幅度为 35 dB. 其中 V_{in} 为该芯片的输入信号; $V_T(“/V_{pp}”) - V_T(“/V_{pn}”)$ 是调制后的差分输入信号; $V_T(“/CHSDDA_OUT”)$ 是经过差分差值放大电路后的输出信号. 波形受到斩波时钟馈通效应的影响存在着高频谐波分量, $V_T(“/HPF_OUT”)$ 是信号经过高通滤波后滤除到直流极化电压干扰后

的输出; V_T (“/LPF+NOTCH_OUT”) 是信号经过低通滤波和工频陷波后的输出信号。理论上不应存在高频谐波干扰, 但由于受到后级增益调整电路的影响而存在高频分量; V_{out} 是脑电信号检测芯片的输出信号; V_T (“/2LPF_OUT”) 是信号经过片外低通滤波电路后的最终输出信号。

3 结束语

讨论一种脑电信号检测芯片的系统设计方案, 仿真数据表明达到了设计要求。由于芯片是微弱信号的放大设计, 下一步将采用表面扫描法对芯片进行电磁兼容性分析^[10]。

参考文献:

- [1] VAUGHAN T M. Brain-computer interface technology: A review of the second international meeting[J]. IEEE Transactions on Neural System and Rehabilitation Engineering, 2003, 11(2): 94-109.
- [2] 林能毅. 十六通道脑电波讯号拾取晶片之研制[D]. 桃园: 中原大学, 2002.
- [3] NG K A, CHAN P K. A CMOS analog front-end IC for portable EEG/ECG monitoring applications[J]. IEEE Transactions on Circuits and System (I): Regular Papers, 2005, 52(11): 2335-2347.
- [4] ALLEN P E. CMOS 模拟集成电路设计[M]. 2版. 冯军, 译. 北京: 电子工业出版社, 2005.
- [5] 骆妙艺, 凌朝东, 李国刚. 一种适合检测生物电信号的基于斩波技术的放大器[J]. 现代电子技术, 2007, 30(21): 101-103.
- [6] 吴孙桃, 林凡, 郭东辉, 等. 基于斩波技术的 CMOS 运算放大器失调电压的消除设计[J]. 半导体技术, 2003, 28(8): 60-64.
- [7] 叶媲舟, 凌朝东, 黄群峰. 脑电信号检测用的含工频陷波 OTA-C 低通滤波器[J]. 微纳电子技术, 2007, 44(11): 1026-1029.
- [8] QIAN X B, XU Y P, LI X P. A CMOS continuous-time low-pass notch filter for EEG systems[J]. Analog Integrated Circuits and Signal Processing, 2005, 44(3): 231-238.
- [9] VEENDRICK H J M. Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits[J]. IEEE Journal of Solid-State Circuits, 1984, 19(4): 468-473.
- [10] 殷和国, 杨银堂, 崔占东. 芯片级电磁兼容性的设计方法及其应用[J]. 半导体技术, 2004, 29(9): 52-56.

Design of the ASIC Used for EEG Signal Detecting

LI Guo-gang^{1,2}, LU O Miao-yi^{1,2},
YE Pi-zhou^{1,2}, LIN Chao-dong^{1,2}

(1. College of Information Science and Engineering, Huaqiao University, Quanzhou 362021, China;

2. Key Laboratory of ASIC and System, Xiamen 361008, China)

Abstract: An ASIC (application specific integrated circuit) for detecting electroencephalogram (EEG) signal was designed in this research, and using 0.6 μm CSMC DPDM CMOS technology. The main blocks of the EEG acquisition chip includes one chopper-stabilized differential difference amplifier, operational transconductance amplifier (OTA)-C low-pass filter, gain amplifier, non-overlapping clock generator, and band-gap voltage reference circuit etc. The simulation results show that we can obtain the linearity relationship between input and output, and CMRR can reach 114 dB when the input signal from the range - 0.862 to 0.902 V. Therefore, the circuit meets the system specifications.

Keywords: electroencephalogram; application specific integrated circuit; band-gap voltage circuit; digital differential analyzer; operational transconductance amplifier

(责任编辑: 鲁斌 英文审校: 吴逢铁)