

文章编号: 1000-5013(2009)06-0720-03

FPGA 的可靠时钟设计方案

刘一平^{1,2}, 叶焜舟^{1,2}, 凌朝东^{1,2}

(1. 华侨大学 信息科学与工程学院, 福建 泉州 362021;
2. 厦门市专用集成电路系统重点实验室, 福建 厦门 361008)

摘要: 对于现场可编程门阵列(FPGA)常见的6种时钟设计,根据建立时间和保持时间的要求,按照同步设计原则,分别给出可靠的时钟设计方案.利用这些方案来设计FPGA的时钟,可以更容易完成FPGA的项目设计,使得FPGA系统更稳定、更可靠.

关键词: 现场可编程门阵列; 时钟设计; 同步设计; 建立时间; 保持时间

中图分类号: TN 431.202

文献标识码: A

1 各类型时钟的设计方案

在FPGA设计中,时钟设计的一个重要方面就是要能满足建立时间和保持时间的要求,使系统能稳定可靠地工作^[1-3].时钟通常可分为全局时钟、门控时钟、多级逻辑时钟、行波时钟、多时钟系统和多时钟切换系统6种类型.

1.1 全局时钟

系统内大部分器件的动作都是在时钟的跳变沿上进行,这就要求时钟信号时延差要非常小,否则就可能造成时序逻辑状态出错.此外,时钟信号通常是频率最高的信号,也是负载最重的信号,所以要合理分配负载^[4].出于这样的考虑,在FPGA这类可编程器件内部一般都设有数量不等的,专门用于系统时钟驱动的全局时钟网络.这类网络有3个特点^[5]:(1)负载能力强;(2)时延差小;(3)时钟信号波形畸变小,工作可靠性好.因此,在FPGA设计中,最好的时钟设计方案是,由专用的全局时钟输入引脚驱动单个主时钟,以控制设计项目中的每一个触发器.只要可能,就应该在设计中尽量采用全局时钟设计.这样可以很好地满足建立时间和保持时间等时序要求,使系统稳定可靠地工作.

1.2 门控时钟

门控时钟就是指连接到触发器时钟端的时钟来自于组合逻辑^[6].组合逻辑在布局布线之后会产生毛刺,采用这种有毛刺的信号来作为时钟,将会出现功能上的错误.在FPGA设计中,可将门控时钟转换成全局时钟以改善设计的可靠性,如图1所示.在图1中,输入的组合逻辑信号作为D触发器的使能信号.

当ENA为高电平时,D输入端的值被钟控到触发器中;当ENA为低电平时,维持现在的状态.重新设计的电路,使得输入的组合逻辑信号不需要在CLK有效的整个期间内保持稳定,而只要求它们和数据引脚一样符合同样的建立和保持时间,这样对输入的组合逻辑信号的要求就少很多.在可编程逻辑器件中,一般使用触发器的时钟使能端来改善门控时钟的设计,既不增加资源,也能使设计的系统稳定工作^[7].

1.3 多级逻辑时钟

由于建立时间和保持时间的限制,FPGA设计中应尽量避免采用多时钟网络,或尽量减少时钟的个

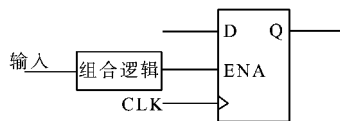


图1 门控时钟改进电路

Fig. 1 Improved circuit for gate control clock

收稿日期: 2008-06-19

通信作者: 刘一平(1963-),女,实验师,主要从事嵌入式系统设计. E-mail: 3i@hqu.edu.cn.

基金项目: 福建省自然科学基金资助项目(A0640005);厦门市科技计划项目(3502Z20073037, 3502Z20080010)

数. 多路选择器的输入是 CL K 和 CL K 的 2 分频,时钟由 SEL 引脚控制的多路选择器输出的. 在两个时钟均为逻辑 1 且 SEL 线的状态改变时,存在静态冒险竞争现象,而其程度取决于工作的条件. 图 2 是改进后的多级时钟电路,采用的是单级时钟方案. 图 2 中,SEL 引脚和 CL K 的 2 分频信号用于使能 D 触发器的使能输入端,而不是用于该触发器的时钟引脚. 采用图 2 的电路并不需要附加 FPGA 的逻辑单元,工作却更稳定和可靠.

1.4 行波时钟

行波时钟,即一个触发器的输出用作另一个触发器的时钟输入,经常用在异步计数器和分频电路设计中. 异步计数器虽然原理简单、设计方便,但级连时钟(行波时钟)最容易造成时钟偏差,级数多了,很可能会影响其控制的触发器的建立时间和保持时间,使设计难度加大. 转换的方法是采用同步计数器. 用 Verilog 语言描述一个同步计数器:

```
always @(posedge clk or negedge reset )           else
begin                                           counter <-counter + 1 ;
if ( ~ reset)
end
counter <= 0 ;
```

通常逻辑综合工具都会对上述 Verilog 描述的计数器,按不同器件的特点进行不同的优化. 但重要的是不需要考虑它是逐位进位计数器,还是超前进位计数器^[7].

1.5 多时钟系统

在 FPGA 设计中,经常遇见这种情况:一个控制信号来自其他芯片或者芯片其他模块. 该信号相对本电路来讲是异步的,即来自不同的时钟源. 在多时钟系统电路中,CL K1 用于钟控 REG1,CL K2 用于钟控 REG2 和 REG3. 由于 REG1 驱动着进入 REG2 和 REG3 的组合逻辑,故 CL K1 的上升沿相对于 CL K2 的上升沿有建立时间和保持时间的要求. 但是,CL K1 和 CL K2 是两个独立的时钟,它们之间的建立时间和保持时间是不能保证的. 在这情况下,必须把电路同步化,以满足设计的时序要求.

图 3(a)为 REG1 的值同 CL K2 同步化的电路图. 在图 3(a)中,新的触发器 REG5 由 CL K2 触控,保证 REG5 的输出符合 REG2 和 REG3 的建立时间要求,使输出延时了一个时钟周期. 然而,只将异步信号同步化还是不够的. 当系统中有两个或两个以上非同源时钟时,数据的建立和保持时间很难得到保障,此时,应将所有非同源时钟同步化. 因此,需要使用带使能端的 D 触发器,并引入一个高频时钟. 假设系统有 3,5 MHz 两个不同源的时钟,不同的触发器使用不同的时钟. 为了系统稳定,引入一个 20 MHz 时钟,将 3 MHz 和 5 MHz 时钟同步化,如图 3(b)所示.

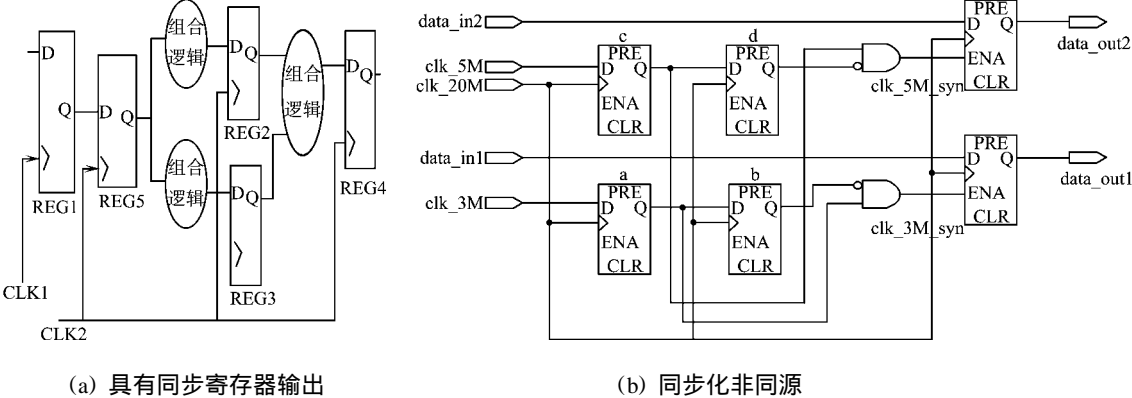


图 3 多时钟系统改进电路

Fig. 3 Improved circuit for multi-clock system

20 MHz 的高频时钟将作为系统时钟,输入到所有触发器的的时钟端. clk_3M_syn 和 clk_5M_syn

将控制所有触发器的使能端,即原来接 3 MHz 时钟的触发器,接 20 MHz 时钟,同时 clk_3M_syn 将控制该触发器使能;原接 5 MHz 时钟的触发器,也接 20 MHz 时钟,同时 clk_5M_syn 将控制该触发器使能。这样,就可以将任何非同源时钟同步化,即一个 DFF 和后面非门、与门构成时钟上升沿检测电路。

1.6 多时钟切换系统

在进行时钟切换的设计中,需要动态地将时钟从高频切到低频,或者从低频切到高频。切换过程中可能会出现毛刺,导致功能错误。有两种方法可以避免这种问题^[8]:(1) 时钟切换时,进入复位,而只有当切换完成后,复位才结束。(2) 采用时钟切换电路,如图 4 所示。

在图 4 中,当选择输入稳定(高电平或低电平)时,两个控制触发器处于相反的状态,两个时钟输入中的一个驱动时钟输出。当选择输入变化时,这个影响要等到原来选择的时钟源的下一个下降沿复位它的控制触发器之后才会有。输出时钟信号会保持低电平,直到新选择时钟的下一个下降沿置位它的控制触发器,使得新选择的时钟来驱动输出时钟。任何时钟切换都始于原来选择的时钟变低时,输出时钟会保持低电平,直到新选择的时钟先变低然后再变高,再也不会会有毛刺。因此,利用这个电路可以得到没有毛刺的,切换后的时钟信号。

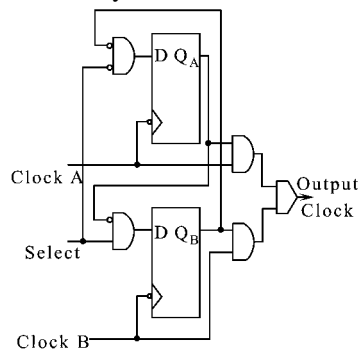


图 4 时钟切换电路

Fig. 4 Switch circuit for the clock

2 结束语

根据建立时间和保持时间的要求,按照同步设计原则,给出 FPGA 设计中 6 种时钟的可靠设计方案。利用这些方案来设计 FPGA 的时钟,可以更容易完成 FPGA 的项目设计,而且使 FPGA 系统更稳定、更可靠地工作。

参考文献:

- [1] 夏宇闻. Verilog 数字系统设计教程[M]. 北京:北京航空航天大学出版社,2003.
- [2] 王 彬,任艳颖. 数字 IC 系统设计[M]. 西安:西安电子科技大学出版社,2005.
- [3] 凌朝东,刘 蓉,林 旭. 用 CPLD 实现的 FIR 滤波器[J]. 华侨大学学报:自然科学版,2001,21(1):76-79.
- [4] 彭俊峰,宋家友,崔建华. FPGA/CPLD 同步设计若干问题浅析[J]. 自动化与仪器仪表,2006(4):83-85.
- [5] 吴继华,王 诚. 设计与验证 Verilog HDL[M]. 北京:人民邮电出版社,2006.
- [6] 张志刚,李 彬. FPGA 系统设计与实践[M]. 北京:人民邮电出版社,2006.
- [7] 廖 艳,王广君,高 杨. FPGA 异步时钟设计中的同步策略[J]. 自动化技术与应用,2006,25(1):67-68.
- [8] 段有为. FPGA 设计中时钟设计的探讨[J]. 无线电工程,2007,37(5):62-64.

Reliable Clock Design for FPGA

LIU Yi-ping^{1,2}, YE Pi-zhou^{1,2}, LIN G Chao-dong^{1,2}

(1. College of Information Science and Engineering, Huaqiao University, Quanzhou 362021, China;

2. Key Laboratory of ANSIC and System, Xiamen 361008, China)

Abstract: Six clock design measures for the field programmable gate array (FPGA) are described in this paper which preset a credible clock design according to the setup time, hold time and synchronous principle. We can make the FPGA design more convenient and make the FPGA system work more stably and credibly if we use these clock design measures.

Keywords: field programmable gate array; clock design; synchronous design; setup time; hold time

(责任编辑:鲁 斌 英文审校:吴逢铁)