

文章编号: 1000-5013(2009)02-0147-04

全数字锁相环高频感应加热系统的设计

余景华, 杨冠鲁, 郭亨群

(华侨大学 信息科学与工程学院, 福建 泉州 362021)

摘要: 为解决感应加热系统中频率跟踪的问题, 使感应加热系统始终工作在最佳状态, 提出一种新型的全数字锁相环(ADPLL)高频感应加热系统的设计方案. 该方案是基于现场可编程门阵列, 采用比例积分控制的方法. 仿真结果表明, ADPLL 能够及时有效地进行频率锁定, 具有控制跟踪速度快、精度高、可调性强及捕获频带宽等优点. 根据不同谐振频率的对象, 可以通过调节 $1/N$ 分频器的参数 N , K 模计数模块的参数 K 和积分模块的计数器 n 的位数, 使得 ADPLL 工作处在最佳状态.

关键词: 现场可编程门阵列; 全数字锁相环; 感应加热; 频率跟踪; 比例积分

中图分类号: TM 924.5 文献标识码: A

高频感应加热电源在工业上得到了广泛的应用, 但目前高频感应加热多数以负载的谐振频率作为固定频率进行开环控制. 感应加热电源在工作过程中, 会因温度变化和炉料熔化等因素, 使负载等效参数和固有频率发生变化. 当控制频率和负载的谐振频率不一致时, 电源的效率会变低, 造成大量的电能浪费, 甚至无法加热. 为了提高电源效率, 应使负载始终工作在功率因数接近或等于 1 的准谐振状态, 这就要求逆变器的输出频率能够跟随负载固有频率而变化^[1]. 利用现场可编程门阵列(FPGA)^[2]设计的全数字锁相环(ADPLL)可以跟踪负载的谐振频率^[3], 使控制频率始终工作在负载的准谐振频率上, 而且具有跟踪速度快、精度高、可调性强及捕获频带宽等优点. 基于此, 本文提出一种新型全数字锁相环在高频感应加热系统的设计方案.

1 高频感应加热系统原理

系统原理如图 1 所示, 主要由全桥逆变电路、串联谐振电路^[4]、全数字锁相环电路和死区电路组成.

1.1 全桥逆变电路

电路由固定直流电源 V_{CC} 供电, 通过交替开通和关断 IGBT 管 VT_1 , VT_3 (VT_1 , VT_3 同相) 和 VT_2 , VT_4 (VT_2 , VT_4 同相), 使逆变器输出端输出交变的方波.

1.2 串联谐振电路

电路是感应加热线圈和加热材料的等效电路^[5], 任何材料放入加热线圈中都有它的谐振频率^[6], 这个谐振频率就是 ADPLL 初始时设定的频率. 当材料加热后使负载的谐振频率发生变化, 电压控制信号的频率与负载的谐振频率之差体现在电压控制信号 u 与环路电流 i 的相位差上, 两者的频率却始终相等. 当 i 的相位超前于 u 的相位时, 负载呈容性, u 的频率小于负载的谐振频率; 当 i 的相位滞后

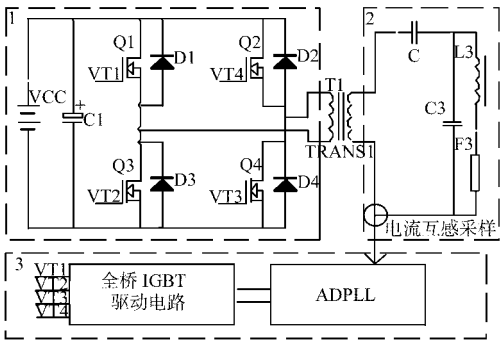


图 1 高频感应加热系统原理

Fig. 1 Principle of high frequency induction pyrogeneration system

收稿日期: 2008-04-05

通信作者: 杨冠鲁(1960-), 男, 教授, 主要从事电力电子技术的研究. E-mail: glyang@hqu.edu.cn.

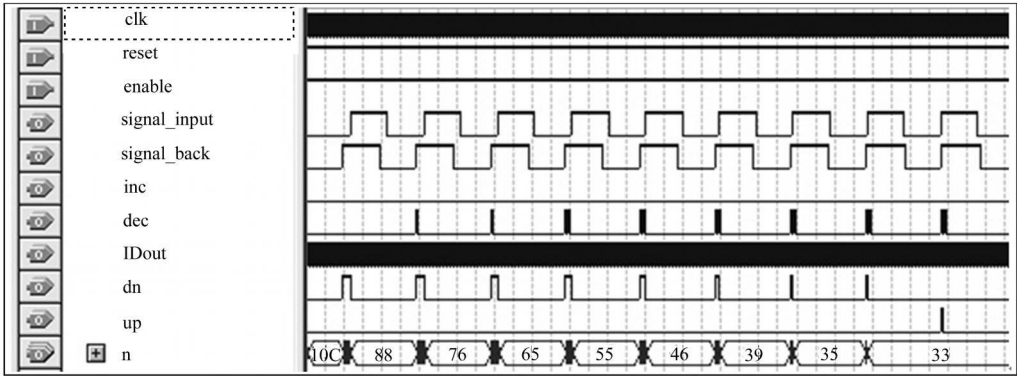
基金项目: 国家自然科学基金资助项目(60678053); 福建省自然科学基金资助项目(2006J0168, E0510021)

振荡器后 2 分频输出. 当输入端口 inc 输入一个脉冲时, 数控振荡器输出插入一个频率为 $2Nf_c$ 的脉冲; 当输入端口 dec 输入一个脉冲时, 数控振荡器输出插入一个频率为 $2Nf_c$ 的低电平. 输出脉冲经过 $1/N$ 分频模块后输出电压控制信号 u . 初始时电压控制信号 u 的频率 $f(u) = f_c$, 可以通过设置 $1/N$ 分频模块的参数 N 来设置初始时负载的谐振频率. 输出电压控制信号 u 的频率 $f(u)$ 与输入端口 inc 或 dec 输入的脉冲个数 n 有如下关系: 当有限脉冲从输入端口 inc 输入, $f(u) = \frac{2Nf_c}{2N - n}$; 当有限脉冲从输入端口 dec 输入, $f(u) = \frac{2Nf_c}{2N + n}$.

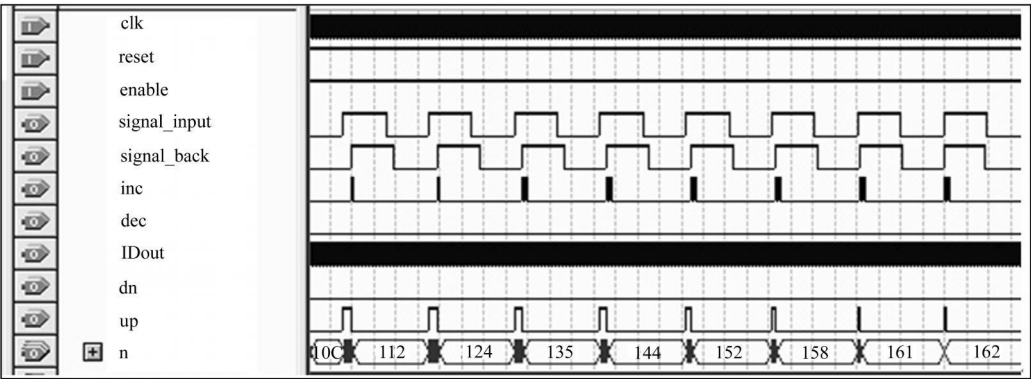
3 仿真实验结果与分析

根据 ADPLL 系统方框图各模块的功能分析, 用 Verilog HDL 语言^[7] 在 FPGA 开发平台 Quartus 中设计出 ADPLL 功能模块, 并对其进行仿真与分析. 参数设置: 系统时钟 $2Nf_c = 50\text{ M}$, 负载初始化时谐振频率 $f_c = 50\text{ kHz}$. 那么, 取 $1/N$ 分频器 $N = 1\,000$, 取环路滤波器 $K = 16$.

当电流反馈信号 $i(\text{signal_input})$ 滞后于电压控制信号 $u(\text{signal_back})$ 时, 仿真图如图 5(a) 所示. 当 i 滞后于 u 时, 鉴相器 DPD 的相位差从 down 端口输出, 并且越来越小; 同时, 环路滤波器中积分值 n 也越来越小, 变化率越来越小; 输出端口 dec 的脉冲数越来越多. 当积分值 $n = 33$ 时, 电压控制信号 u 的相位与电流反馈信号 i 的相位一致, 实现频率锁定. 当电流反馈信号 $i(\text{signal_input})$ 超前于电压控制信号 $u(\text{signal_back})$ 时, 仿真图如图 5(b) 所示. 当 i 超前于 u 时, 鉴相器 DPD 的相位差从 up 端口输出, 并且



(a) 电流滞后电压



(b) 电流超前电压

图 5 系统仿真图

Fig. 5 System simulation chart

越来越小; 同时, 环路滤波器中积分值 n 越来越大, 但是变化率却越来越小; 输出端口 inc 的脉冲数也越来越多. 当积分值 $n = 162$ 时, 电压控制信号 u 的相位与电流反馈信号 i 的相位一致, 实现频率锁定.

根据系统要求制作一台 $30 \sim 80\text{ kHz}/25\text{ kW}$ 样机, 将 ADPLL 作为控制核心. 感应加热负载的等效参数: $L_s = 5.4\text{ }\mu\text{H}$, $C_s = 0.1\text{ }\mu\text{F}$, $R_s = 10.6\text{ }\Omega$. 计算出谐振频率 $f_c = 21.66\text{ kHz}$. 图 6 给出了样机的逆

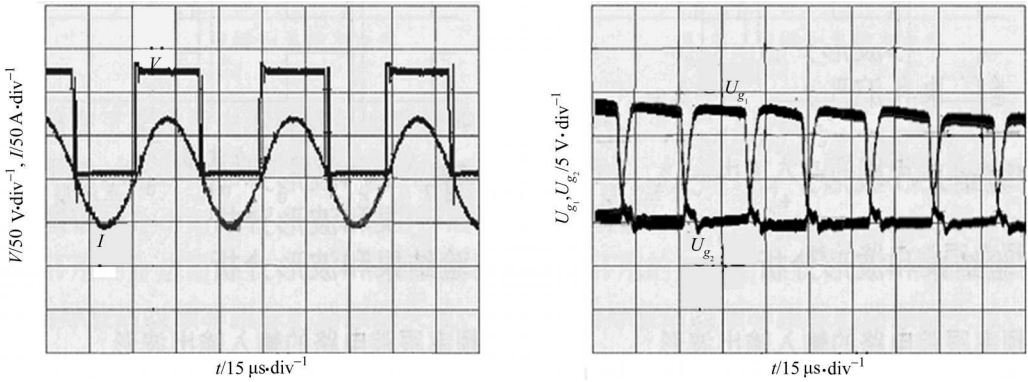


图 6 实验结果

Fig. 6 The result of experiment

变器输出电压 U 、输出电流 I 及驱动电压 U_{g_1} 、 U_{g_2} 的实验波形.

4 结束语

本文提出的高频感应加热系统设计方案, 具有控制跟踪速度快、精度高、可调性强及捕获频带宽等优点. 仿真结果表明, 该方案是可行.

参考文献:

[1] 周志敏. 逆变电源实用技术[M]. 北京: 中国电力出版社, 2005.
[2] 徐光辉, 程东旭, 黄 如. 基于 FPGA 的嵌入式开发与应用[M]. 北京: 电子工业出版社, 2006.
[3] 周跃庆, 张 娟. 一种新型 ADPLL 在感应加热系统中的应用研究[J]. 电力电子技术, 2006, 40(2): 86-88.
[4] 刘庆雪. 串联谐振高频电源逆变控制及调功系统的研究[D]. 西安: 西安理工大学, 2005.
[5] 郑力新. 可编程控制器在电热铆机改造中的应用[J]. 华侨大学学报: 自然科学版, 1994, 15(3): 267-269.
[6] 张春雨, 李亚斌, 王 琦, 等. 基于 FPGA 的谐振型逆变器控制电路研究[J]. 华北电力大学学报, 2006, 33(2): 72-76.
[7] 张 明. Verilog HDL 实用教程[M]. 成都: 电子科技大学出版社, 1990.

A New Type ADPLL Used in High-Frequency Induction Pyrogenation System

YU Jing-hua, YANG Guan-lu, GUO Heng-qun

(College of Information Science and Engineering, Huaqiao U niversity, Quanzhou 362021, China)

Abstract: To solve the question of frequency follow used in induction pyrogenation system and make it work in the optimal condition, a new type all-digital phase-locked loop (ADPLL) induction pyrogenation system was designed. The project bases on field programmable gate array (FPGA) and adopts proportional-integral control. The results of the simulation show that ADPLL can lock the frequency timely and effectively, and it has many advantages such as follow rate rapidness; high precision; strong flexibility and wide-rang frequency width. According to the resonant frequency of the object, the parameters N of $1 / N$ divider, the parameters K of K -mode counting module and the median n of integral module counter can be adjusted to make ADPLL work in the optimal condition.

Keywords: field programmable gate array; all digital phase-locked loop ; induction pyrogenation; frequency follow; proportional-integral

(责任编辑: 黄仲一 英文审校: 吴逢铁)