

文章编号: 1000-5013(2009)01-0034-04

DDS 数字移相正弦信号发生器的设计

高 银, 林其伟

(华侨大学 信息科学与工程学院, 福建 泉州 362021)

摘要: 在直接数字频率合成器(DDS)的基础上,利用现场可编程门阵列(FPGA)设计一款数字移相正弦信号发生器,并通过 Altera 公司的 DE2 开发板来验证. 在输入环节加入一个数据锁存器,用“软设置”替代“硬设置”,同时在 ROM 的验证中只采样正弦波的正上半周,来代替整个周期的采样,以降低系统的设计规模,减少系统对逻辑资源的需求. 最后,绘制数字移相正弦信号发生器的顶层电路图,在 QUARTUS 6.0 软件中进行仿真和硬件验证结果.

关键词: 直接数字频率合成器; 现场可编程门阵列; 信号发生器; 正弦信号; 数字移相

中图分类号: TN 742.1

文献标识码: A

生成正弦波比较常用的方法是,用一片只读存储器(ROM)和一片数模转换器(DAC),加上地址发生计数器和寄存器^[1-2]. 由于直接数字频率合成器(DDS)具有频率分辨率高、频率变换速度快、相位可连续变化等特点^[3],可以实现快速的频率切换,在频率改变时能够保持相位的连续性,很容易实现频率、相位和幅度的数控调制. 因此,本文采用了 DDS 的设计思路,通过现场可编程门阵列(FPGA)实现 DDS 数字移相正弦信号发生器.

1 设计方案

1.1 DDS 数字移相原理

DDS 技术的核心是相位累加器,它类似一个计数器. 每来一个时钟信号,相位累加器的输出就增加一个步长的相位增量,相位增量的大小由频率控制字确定. 经 DDS 输出的信号可描述为

$$S_{\text{out}} = A \sin(\varphi) = A \sin(2\pi f_{\text{out}} t), \quad (1)$$

其中, S_{out} 为经 DDS 输出的信号, f_{out} 为对应的输出频率. 时间 t 是连续的. 为便于数字逻辑描述该表达式,需进行离散化处理,用基准时钟信号 clk 进行抽样. 设正弦信号的相位 $\varphi = 2\pi f_{\text{out}} t$, 而在一个时钟周期 T_{clk} 相位变化量为

$$\Delta\varphi = 2\pi f_{\text{out}} T_{\text{clk}} = \frac{2\pi f_{\text{out}}}{f_{\text{clk}}}. \quad (2)$$

式(2)中, f_{clk} 是 clk 的频率,对于 2π 可以看成是满相位的. 为了对输出的相位进行控制,通过一个常数 P 来实现,而每个 clk 周期的相位增量 $\Delta\varphi$ 用 P 来表示,即 $\Delta\varphi = P \cdot \frac{2\pi f_{\text{out}}}{f_{\text{clk}}}$. 与式(2)联立可得

$$P = \frac{\Delta\varphi}{\frac{2\pi f_{\text{out}}}{f_{\text{clk}}}}. \quad (3)$$

显然,信号发生器的输出可描述为

$$S_{\text{out}} = A \sin(\varphi + P \cdot n) = A \sin(\varphi + 2\pi n \frac{f_{\text{out}}}{f_{\text{clk}}}). \quad (4)$$

上式中, φ 代表正弦信号发生器原始相位值. 由上述推导可看出,对相位值进行简单的累加运算,就可以得到正弦信号当前相位值,也就得到了 DDS 输出的正弦信号.

收稿日期: 2007-12-10

通信作者: 林其伟(1957-),男,副教授,主要从事智能仪器仪表的研究. E-mail: qwlin@hqu.edu.cn.

基金项目: 国务院侨办科研基金资助项目(06QZR03)

1.2 DDS 数字移相正弦信号发生器设计

由式(3)得出相位累加器的输入又可以称为相位字输入,实际上系统的基准时钟频率为 $f_{\text{clk}} = 2^N f_{\text{out}}$. 那么,由式(3)得 DDS 数字移相正弦信号发生器相移为

$$= P \cdot \frac{2}{2^N}.$$

(5)

频率字输入要经过一组同步寄存器,使得频率字改变时不会干扰相位累加器正常工作. 相移信号发生器就是在 DDS 基础上多了一个波形数据 SINROM 表. 它的地址线没有经过移相用的 N 位加法器,而直接与相位累加器相连,用此链路作为基准正弦信号输出,整个框架^[4]原理如图 1 所示.

为便于设计复杂性的控制,将频率控制字设置为 10 位宽(二进制). 频率控制字通过相位累加器来控制相位地址的变化. 相位累加器的地址累加到半个周期的地址(即地址值为 512)时就会溢出,则从 0 开始重新再次累加. 相位累加器输出的数据通过寄存器锁存,防止累加器输出的数据不稳定. 在加法器的模块中加入相移控制字 P ,用来直接控制着输出端相移大小. 在加法器模块的输出数据也对应着 SINROM 数值的地址,经寄存器出来的地址数据,在 SINROM 表中查找对应地址的量化值,然后经寄存器输出,即得到经数字移相后的数字正弦信号. 此 SINROM 表就是采用半个周期的正弦幅值数据.

通过对半周期正弦幅值数据复用,来代替整个周期正弦幅值数据,以达到简化逻辑资源的目的. 对比经数字移相前后的数字正弦信号的相位可知,相移后的正弦信号相差 可用示波器测出. 再与式(5)计算的理论相比较,即可验证设计方案是否成功. 对于图 1 中虚线所示部分的 DAC 数模转换器及低通滤波(LPF),在仿真中暂时不考虑. 因为 LPF 主要用于平滑由实际生产中外界干扰、噪声,以及直接接入通信信道(DACC)出来的噪声及毛刺现象,可以在实现硬件生产时再加入这两个部分.

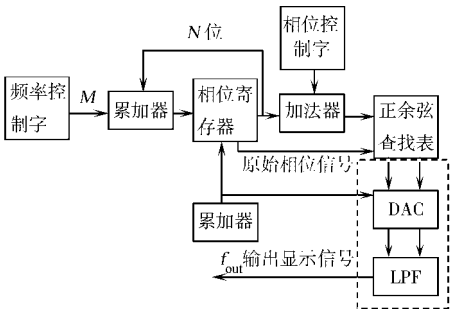


图 1 信号发生器原理框图

Fig. 1 Block diagram of the signal generator

2 仿真与硬件验证

2.1 系统仿真

对于数字移相正弦信号发生器构建的顶层电路图,在 QUARTUS 6.0 软件中进行仿真,得到仿真波形图如图 2 所示. 输出的 P_{out} 是基准没有经过移相的正弦信号数据,而 P 作为相移控制字,它直接控

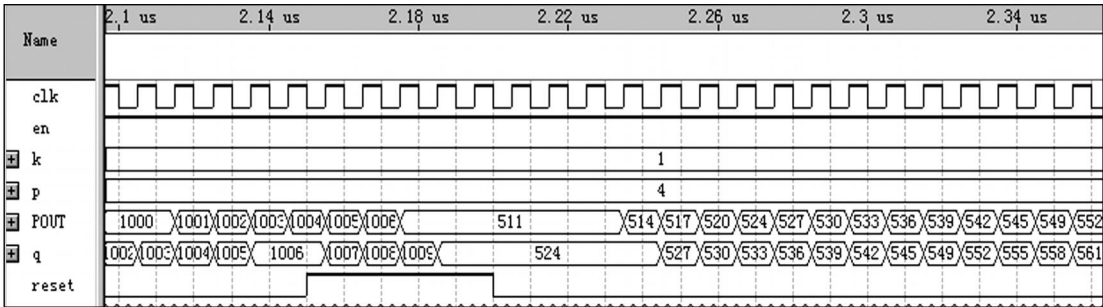


图 2 信号发生器数据仿真图

Fig. 2 Data imitating curve of the signal generator

制相移的步长,从而控制 DDS 数字移相正弦信号发生器相移的大小, q 是相移后的正弦波形数据. 采用频率控制字为 1,以便相位累加器出来的地址数据能遍历每一个采样地址. 从图 2 中可以知道,控制端 en 和清零重置端 reset 对此正弦移相信号发生器具有控制作用. 在 P_{out} 为 $2.26 \mu\text{s}$ 时, q 是 530;而在 P_{out} 为 $2.28 \mu\text{s}$ 时, q 是 530,均能准确地反映 $P=4$ 时正弦相移的情况.

2.2 硬件验证

为了能够更清晰地分析 DDS 正弦相移信号发生器,采用 DE2 开发板进行硬件验证,并选用 QUARTUS 6.0 里面的 Signal Tap 型嵌入式逻辑分析仪对设计中的重要层次模块信号接点进行测试^[5].

都很高,只有扩大时间的分辨率才能观察到七段译码器的数据。

通过 Signal Tap 型嵌入式逻辑分析仪来观察下载到硬件里的正弦移相信息,在 P 移动时,所对应的相移也跟着发生变化。图 4(a)是截取相位控制字为 32 时所得。当坐标对准 410 时,经相移后的正弦波数据对应的幅值为 10,原始正弦信号的幅值为 0;当坐标向前移动到 440 时,第 1 次遇到原始正弦信号对应的幅值为 10,如图 4(b)所示。由图 4 的示波形图得到输出的相移值 $= (440 - 410) \cdot \frac{2}{2^{10}} = \frac{15}{256}$;而由式(5)可得 $= P \cdot \frac{2}{2^N} = 32 \cdot \frac{2}{2^{10}} = \frac{16}{256}$,其相对误差为 6.25%。如果实际应用的是 32 位数字移相正弦信号发生器,则误差将非常小甚至可以忽略掉。这反映整个数字移相正弦信号发生器设计的精确性,有实际应用价值。

3 结束语

利用可编程逻辑芯片,设计基于 DDS 的数字相移频率发生器。在输入环节加入了一个数据锁存器,利用“软设置”替代“硬设置”,并在 ROM 的验证中,只采样正弦波的上半周来代替整个周期的采样,降低了系统的设计规模,减少了系统对逻辑资源的需求。实验结果也证明,在这方面能够提高硬件资源的利用率,提高运行速度。这在对真正的流片成产品时是非常重要的,它大大地降低成本,提高了芯片的整体性能。

参考文献:

- [1] 潘松,黄继业. EDA 技术与 VHDL[M]. 北京:清华大学出版社,2005:388-396.
- [2] 潘松,黄继业. EDA 技术实用教程[M]. 北京:科学出版社,2002:341-346.
- [3] 黄飞,鲁迎春,何晓雄. 基于 DDS 的 LFM 信号发生器的 FPGA 设计[J]. 合肥工业大学学报:自然科学版,2006,29(5):617-619.
- [4] 章小梅,姜茂仁,费元春. DDS 杂散的抑制与研究[J]. 信息技术,2004,6(4):1-4.
- [5] 邓成,张亚妮,白璘,等. 嵌入式逻辑分析仪在 FPGA 设计中的应用[J]. 现代电子技术,2006(2):76-84.

The Design of DDS Digital Phase-Shift Sine Signal Generator

GAO Yin, LIN Qi-wei

(College of Information Science and Engineering, Huaqiao University, Quanzhou 362021, China)

Abstract: Based on direct digital synthesizer (DDS) and using field programmable gate array (FPGA), a digital phase-shift sine signal generator had been designed. This signal generator was verified through Altera Corporation's DE2 development board. In this design, a data flip-latch was added at the input side, the "soft setting" was employed instead of "hard setting". At the same time, and the positive half period sampling was used instead of the full period sampling of sine wave in the ROM verification, the scale of system and the demand to the systemic logic resources were reduced. At the end, the top layer circuit diagram of digital phase-shift sine signal generator was drawn, and the hardware circuit was simulated on the Quareus 6.0.

Keywords: direct digital synthesizer; field programmable gate array; signal generator; sine signal; digital phase-shift

(责任编辑: 鲁 斌 英文审校: 吴逢铁)