

文章编号: 1000-5013(2008)04-0527-03

色选机光电色差信号处理的 PLD 实现方法

郑力新, 凌朝东, 周凯汀

(华侨大学 信息科学与工程学院, 福建 泉州 362021)

摘要: 分析数字信号处理器在色选机色差信号处理中存在的技术瓶颈, 以及可编程逻辑器件(PLD)在处理速度和独立处理能力上的优势. 给出可编程逻辑器件的具体电路设计, PLD 的每路信号处理电路独立且相同, 共划分输入模块、存储模块、延迟模块、串行通讯模块、比较模块、输出模块等 6 个模块. 通过对该电路的仿真分析表明, PLD 设计达了脉宽控制和延时的预期目标.

关键词: 色选机; 可编程逻辑器件; 数字信号处理器; 信号处理

中图分类号: TP 212.140.2; TN 79+1.02

文献标识码: A

色选机(Color Sorting Machine)是一种从运动的颗粒流中,将杂质进行识别和喷除的光机电一体化的高科技设备.粮食颗粒从几十甚至上百个溜槽顺势滑下,途经过光电传感器后,色选机的信号检测处理系统利用粮食颗粒的光学特性,将颜色不正常、表面有缺陷或内部变质的疵品及杂物识别出,并自动分选剔除.色差信号处理技术为色选机的核心技术^[1-2],国内外产品一般采用数字信号处理 DSP 来实现.由于粮食颗粒的流量快、溜槽多,疵品出现的时间是随机的,而且还要记录从发现疵品到执行喷除的时间,实时性要求极高,即使采用高性能的 DSP 也有捉襟见肘之感.在这种情况下,为了节省成本,国内不少企业只好用降低对每个颗粒的信号检测时间分辨率的方法来实现,但下料量大时,漏检的可能性随之增大,限制了色选机性能向高端发展.目前,国外一些色选机产品开始采用可编程逻辑器件(Programmable Logic Device, PLD)做色差处理^[3].本文给出了色选机色差信号的 PLD 电路设计.

1 基本原理

假设色选机每个通道有 n 个米道,对某米道同一位置米流的前、后侧光电色差信号 $V_{l,i}, V_{r,i} (1 \leq i \leq n)$ 的同步处理,构成了整个信号处理单元^[4].事先设定一阈值电平 V_{cmp} ,当 $V_{l,i} \geq V_{cmp}$ 或 $V_{r,i} \geq V_{cmp}$ 时,表明发现疵米,则信号处理电路应延时 $t_{d,set}$,并输出一定脉宽(t_p)的脉冲(V_p)作为后续喷阀电路的输入信号. t_p 的设定原则:若 $V_{l,i}$ 或 $V_{r,i}$ 高于 V_{cmp} 的时间段 $t_{p,r}$ 小于预设值 $t_{p,set}$,则 $t_p = t_{p,set}$;反之, $t_p = t_{p,r}$.

综上所述,色差信号处理有如下 4 个特点.(1) 每个米道的光电色差信号处理有相对的独立性.(2) 每个米道发现疵米是随机的,故 $t_{d,set}$ 的计时时刻具有随机性.(3) t_p 大小具有随机性.(4) n 的大小对整体处理工作量有较大影响.

目前,色选机有 4 个常规性能指标.(1) 对色差信号波形的采样周期小于等于 0.1 ms.(2) 能处理连续来的疵米.(3) 脉宽范围: $1.0 \text{ ms} \leq t_p \leq 8.0 \text{ ms}$,调整分辨率为 0.1 ms,精度为 5 μs .(4) 延时时间: $8.0 \text{ ms} \leq t_d \leq 30.0 \text{ ms}$,调整分辨率 0.1 ms,精度 5 μs .采用 DSP 芯片来完成 n 米道整体信号的处理.尽管采用了哈佛结构,有较高的处理速度,但信号仍是顺序处理的^[5-6],因而当 n 较大时,其时间的控制精度、同步性、分辨率等都将受到严重的挑战.当色选机某项指标略有提高时,就必须采用高速 DSP 来设计,这无疑提高了成本和设计的复杂性(如电磁兼容性问题的处理).

收稿日期: 2008-01-22

作者简介: 郑力新(1967-),男,教授,工学博士,主要从事计算机测控的研究. E-mail: zlxzkt@yahoo.com.cn.

基金项目: 福建省自然科学基金资助项目(A0510017); 国家教育部重点技术课题(207145); 福建省新世纪优秀人才支持计划(2007 年度)

2 PLD 色差信号处理方法

研究表明, DSP 器件做色差信号处理存在以下 2 个问题. (1) 无法充分利用色差信号处理具有每个米道独立性的特点. (2) DSP 无法真正实现每个米道信号的并行同步处理. 为此, 提出基于 PLD 的设计新思路, 如图 1 所示. 前、后侧的色差信号分别进入不同的比较器, 与阈值电平比较, 无论哪一侧出现高电平都将视为发现疵米. 故采用逻辑或电路形成喷气原始脉冲, 在 PLD 内对原始的脉冲进行 $t_{d, set}$ 大小的时间平移和脉宽处理, 并形成实际的喷气脉冲. $t_{d, set}$, $t_{p, r}$ 的大小由 PLD 的串口电路从上位机上获得, V_{cmp} 则由 DAC 给出, 大小由上位机设定. 色差信号通过硬件的分布式独立处理, 一个复杂信号处理问题变得简洁、明朗和高效, 完全摆脱 DSP 处理模式的局限. 色差信号处理的速度是硬件的响应速度, 其精度主要取决于 PLD 的时钟精度. 两者皆易满足色选机所希望达到的高指标要求.

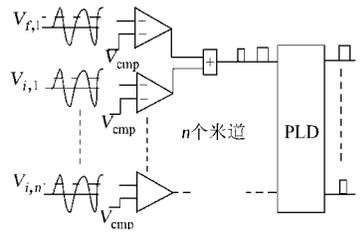


图 1 电路原理

Fig.1 Circuit theory

3 PLD 逻辑电路设计

PLD 的每路信号处理电路独立且相同, 共划分为 6 个模块: 输入模块 (in)、存储模块 (LPM FIFO)、延迟模块 (yanchi)、串行通讯模块 (rs232_new)、比较模块 (cmpout)、输出模块 (out), 如图 2 所示. 下面分别介绍各主要的信号处理模块的实现, 各模块设计指标参照上述常规性能指标, 电路图略.

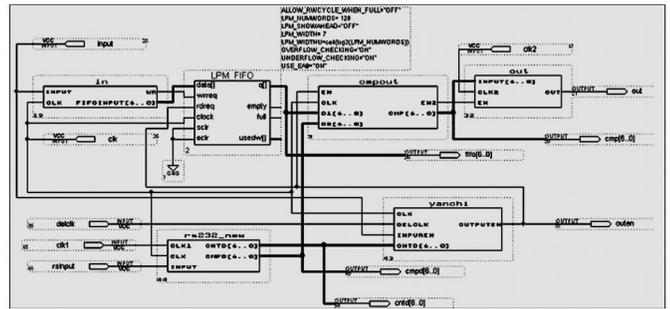


图 2 色差信号处理总模块

Fig.2 Overall module of color sorting signal processing

3.1 输入模块

输入模块的功能是, 一方面它把输入的脉冲信号经 UP_NEW 模块及 EXC 模块转化为输出数据. 其过程是当时钟信号为上升沿时, 读取输入脉冲, 当输入脉冲为 1 时, 计数变量 count 加 1, 直到脉冲信号为 0, count 不再加 1. 另一方面, 通过 FALL 及 DOWNCNT2 模块来判断输入脉冲的下降沿. 当输入脉冲为下降沿时, 使得写使能 WR 为 1, 它将使能存储器把转化完的数据读入存储器. 按性能指标要求, 经过 EXC 模块把先前转化的数据变为 7 位输出 (7 位最大值为 128).

3.2 存储模块

存储模块是芯片自带的存储器. FIFO 是先进先出堆栈, 作为数据缓冲器, 通常其数据存放结构完全和 RAM 一致, 只是采取方式有所不同. FIFO 的存储器实际上是一个环形数据结构. 当 RD 为 1 且 empty 为 0 时, 把存储器的数据读出 (输出), RD 为读使能; 当 WR 为 1, full 为 0 时, 可以把数据写入, WR 为写使能. 由内部 RP 和 WP (读写指针) 分别指示数据写和读的对应单元. 当写信号有效时, 可将输入端上的数据写入 WP 单元; 而当读信号有效时, 就可读出 (输出) 下一个新的数据了.

3.3 延迟模块

延迟模块是实现输入脉冲信号的延迟. 延迟时间取决 RS-232 的输入. 它由 300 个 D 触发器串联组成, 移位时钟位 0.1 ms, 构成移位寄存器, 它的功能也就是定时器的效果, 最长延时 30.0 ms. 通过串行通讯模块的输出 CNTD[0..6] 确定具体的延时时间, 即由几个 D 触发器串联后输出至 out.

3.4 比较模块

延迟模块用来比较输入脉冲的宽度与基准宽度的大小. 该模块相当于一比较器, 其中基准值由上位机通过串口发送, 而被比较的值由锁存器提供. 它的工作过程如下: 当 EN=1 时, 把 DS 与 DI 比较, 如果 DI > DS, 输出 DI; 反之, 则输出 DS; 而当 EN=0 时, 输出不变, 为原来的输出值.

3.5 输出模块

输出模块把比较模块的脉宽转化成最终的脉宽输出. 该模块实际上是一个定时计数器. 其工作过程如下: 首先把输入的数据脉宽送给计数器, 当判断到 EN 的下降沿时, 计数器的数据按 1.0 ms 的时钟减 1, 同时输出 out 为 1. 直到计数器减为 0, 停止计数并把输出 out 置为 0, 即为所要求的结果.

4 PLD 设计结果仿真

根据图2将各模块组合起来,输入信号input为两个不同脉宽的脉冲输入.通过输入模块对时钟clk的计数作用,将其脉冲的宽度转换成数值05H和0DH,如图3所示.串行输入0AH($t_{d,set}$)和06H($t_{p,set}$)即总延迟和脉宽基准值,分别打入延迟模块和比较模块.其中,总延时用于选择某个触发器D的输出作为输入模块的输出,使能脉冲outen上跳时,FIFO上输出脉宽数据和比较模块脉宽基准值比较,输出比较结果cmp.该比较结果通过计数作用在输出模块出形成脉冲输出out,脉宽分别为0A和0D(由于05H < 06H, 0DH > 0AH).可见,设计达到了脉宽控制和延时的预期的目标.

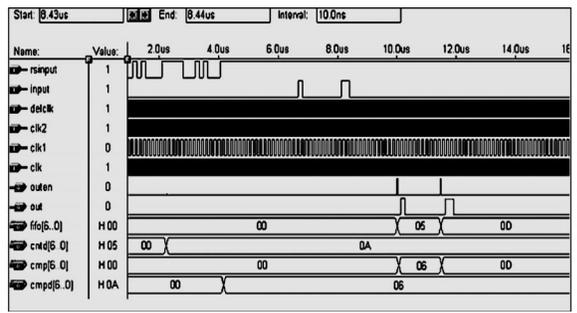


图3 PLD模块的MAX+ Plus仿真

Fig.3 MAX+ Plus simulation of PLD module

5 结束语

根据上述方法,采用PLD器件EP1K30及外围线路,做成了4米道的色差信号处理实验电路板,实验时完全达到了预期性能指标.按同等路数计算,其成本低于DSP板.若需提高 n 或时间分辨率等指标,则只要选择容量相对大一些的PLD即可.显然,PLD具有硬件的处理速度且可独立地按米道设置处理模块,更合适于色选机信号处理的特点,是色选机实现更高性能指标的新的的重要途径.

参考文献:

- [1] WU J, CARVER B F, GOAD C L. Kernel color variability of hard white and hard red winter wheat[J]. Crop Sci, 1999, 30: 634-638.
- [2] PETERSPM C J, SHELTON D R, MARTOM T J, et al. Grain color stability and classification of hard white wheat in the U. S[J]. Euphytica, 2001, 119: 101-106.
- [3] LEMAITRE, JEROME FPGA implementation of a prototype hierarchical control network for large-scale signal processing applications[C] // Euro Par 2006 Parallel Processing-12th International Euro Par Conference Proceedings, 2006: 1192-1203.
- [4] 张麟. 光电色选机的光学系统及其设计[J]. 食品与机械, 1997(5): 14-16.
- [5] 郑力新, 周凯汀, 方瑞明, 等. DSP多路同步数据采集板设计[J]. 华侨大学学报: 自然科学版, 2004, 25(2): 145-149.
- [6] 黄东海, 郑力新, 方瑞明, 等. 多通道随机信号系统数字信号处理的组合算法[J]. 仪器仪表学报, 2005, 26(12): 1278-1281.

The PLD Scheme in the Processing of Opto-Electric Signal of Color Sorter

ZHENG Li-xin, LING Chao-dong, ZHOU Kai-tin

(College of Information Science and Engineering, Huaqiao University, Quanzhou 362021, China)

Abstract: This paper analyzes the technical bottleneck that exists in the color sorting signal processing and the advantage of the programmable logic device (PLD) processing method over other methods in speed and ability. Detail programmable logic design circuitry is presented. The circuitry of each chute is separated and similar, which includes impute module, storage module, delay module, serial communication module comparing module and out put module, etc. The objective of PLD design in pulse width control and pulse delay is proved to be reached by the simulation of the circuit.

Keywords: color sorter; programmable logic device; digital signal processor; signal processing

(责任编辑: 鲁斌 英文审校: 吴逢铁)