

# 升余弦滚降基带成型内插滤波器的 FPGA 实现

陈 东 华

(华侨大学信息科学与工程学院, 福建 泉州 362021)

**摘要** 无线数字通信中,内插滤波器用来对基带信号进行脉冲成型滤波,以限制发送信号的带宽,降低带外干扰.研究一种应用于无线数字传输系统的高速 FIR 成型滤波器的设计方法,该方法采用分布式查找表算法,以降低硬件开销和提高处理速度为目标,是基于现场可编程门阵列(FPGA)并实现升余弦滚降基带成型内插滤波器的硬件电路.最后,通过实测波形与仿真波形证实方法的优越性.

**关键词** 升余弦滚降基带,成型滤波器,分布式算法,查找表,FPGA

**中图分类号** TN 713<sup>+</sup>.702

**文献标识码** A

频谱成形技术是现代无线通信系统设计中的关键技术之一.数字 FIR 滤波器由于其严格的线性相位特性,在许多应用领域都显示了强大的生命力.近来,针对 FIR 滤波器的重要应用意义,不少学者对 FIR 滤波器的设计以及硬件实现进行了广泛的研究<sup>[1~3]</sup>,设计一个高效的,适合在硬件中实现的 FIR 成型滤波器.但它必须解决的问题是,在硬件资源有限的情况下使资源利用率和工作速度最大化.本文在前人研究的基础之上,采用分布式的查找表算法,基于 FPGA 而设计了升余弦滚降基带成型滤波器.

## 1 基带成型滤波器基本原理

数字基带传输系统原理框图,如图 1 所示.实际应用中,基带成形既可在发端一次实现,也可由收发两端共同完成.升余弦滚降滤波器作为成型滤波器,已成为 IS-95 CDMA,CDMA 2000 等第 3 代移动通信系统的标准规定.升余弦滚降成型滤波器的冲激响应为<sup>[4]</sup>

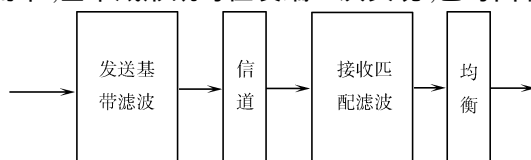


图 1 数字基带传输系统

$$g(t) = \frac{\sin \pi t / T_b}{\pi t / T_b} \cdot \frac{\cos \pi t / T_b}{1 - 4^2 t^2 / T_b^2}$$

在上式中,  $T_b$  为码元间隔,  $\alpha$  为滚降因子,  $0 \leq \alpha \leq 1$ . 当  $\alpha$  为 0 时,该滤波器又变成理想奈奎斯特滤波器.

## 2 基带成型滤波器的 FPGA 实现

升余弦滚降波形是,将数据流通过冲激响应为升余弦滚降函数的滤波器而形成,在数字域,滤波器由 FIR 滤波器实现.我们采用 48 阶 FIR 滤波器、滚降系数  $\alpha = 0.22$ ,其实现原理如图 2 所示.内插器在相邻两输入序列点之间补 3 个零,将输入序列速率提高 4 倍,以增加 D/A 转换后的精度.图中,  $s(n)$  为扩频后的码序列. FIR 滤波器的输出为

$$y(n) = x(n)h(0) + x(n-1)h(1) + \dots + x(n-47)h(47).$$

上式中,  $x(n)$  为延迟线抽头值.若用相乘累加的方法,则需占用大量乘法器和多级累加器,对 FPGA 资源占用很多.采用基于 ROM 查找表的分布式算法<sup>[2]</sup>,利用 FPGA 内部 RAM 来达到减少电路资源的目的.考虑到内插后原相邻序列  $s(n)$  间有 3 个连零,则 FIR 滤波器含有原序列的可能非零输出抽头只有

收稿日期 2005-10-04

作者简介 陈东华(1977-),男,助教,硕士,主要从事扩频通信与混沌通信的研究. E-mail: dhchen@hqu.edu.cn

12 个,同时原序列为二进制序列.故可用这 12 个  $x(n)$  的组合作为 ROM 的地址,取出根据  $x(n)$  的组合

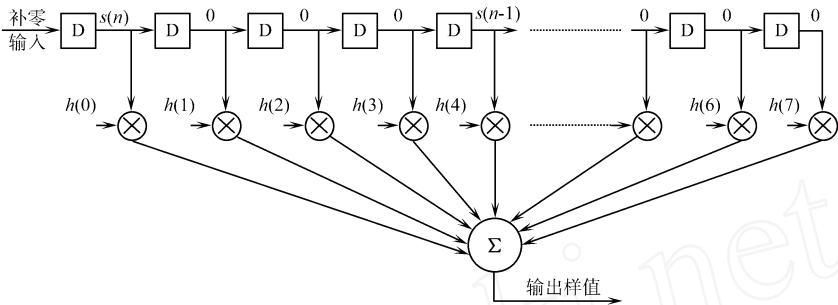


图 2 升余弦滚降 FIR 滤波器

预先计算好,并存储在 ROM 中的 FIR 输出值.根据原序列在 48 级移位寄存器中的位置,有 4 种地址组合.即

$$\begin{aligned} \text{addr1} &= h_0\ h_4\ h_8\ h_{12}\ h_{16}\ h_{20}\ h_{24}\ h_{28}\ h_{32}\ h_{36}\ h_{40}\ h_{44}, \\ \text{addr2} &= h_1\ h_5\ h_9\ h_{13}\ h_{17}\ h_{21}\ h_{25}\ h_{29}\ h_{33}\ h_{37}\ h_{41}\ h_{45}, \\ \text{addr3} &= h_2\ h_6\ h_{10}\ h_{14}\ h_{18}\ h_{22}\ h_{26}\ h_{30}\ h_{34}\ h_{38}\ h_{42}\ h_{46}, \\ \text{addr4} &= h_3\ h_7\ h_{11}\ h_{15}\ h_{19}\ h_{23}\ h_{27}\ h_{31}\ h_{35}\ h_{39}\ h_{43}\ h_{47}. \end{aligned}$$

根据内插前原序列出现的位置,通过 4 选 1 选择器选择相应的地址线.12 根地址线对应的 ROM 大小为  $2^{12} \times 8\text{ bit}$  (8 bit 量化),显然占用太多的存储空间.为简化电路,采用了电路分割技术,将这 12 位地址线分割成高 6 位和低 6 位,分别作为两个  $64 \times 8\text{ bit}$  ROM 的地址输入,从而节省了一定的硬件资源并避免了大容量 ROM 的引用.

经信息扩频后的升余弦滚降基带成型脉冲的时序仿真结果和时域波形,如图 3,4 所示.升余弦滚降基带成型信号经 FPGA 输出送至 D/A 变换器,变为连续的模拟信号.FPGA 选用 Altera 公司的 ACEX 系列器件,型号为 EP1 K100QC208-2.低通滤波器选用二阶无限增益.我们选用二阶无限增益多路反馈

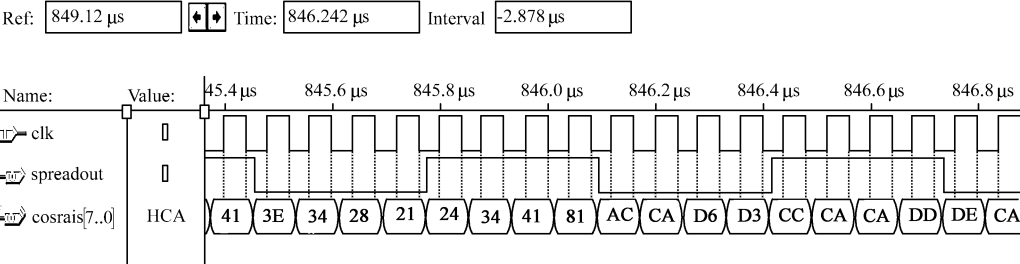


图 3 成型信号时序仿真图

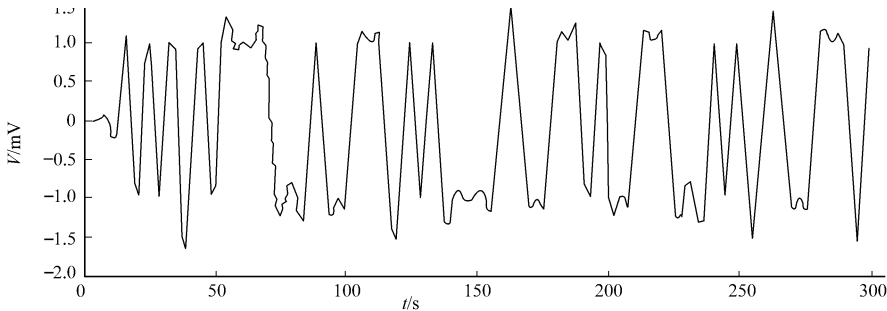


图 4 成型信号的时域波形

低通滤波器<sup>[5]</sup>.

3 测试结果

用 Agilent 数字存储示波器观察的实验结果,如图 5 所示.该信号为发送信息经扩频后的升余弦滚降基带波形,扩频后的码片速率  $1.382\ 4\text{ Mb}\cdot\text{s}^{-1}$ .由图 5 可见,电路测试波形与 FPGA 的时序仿真波

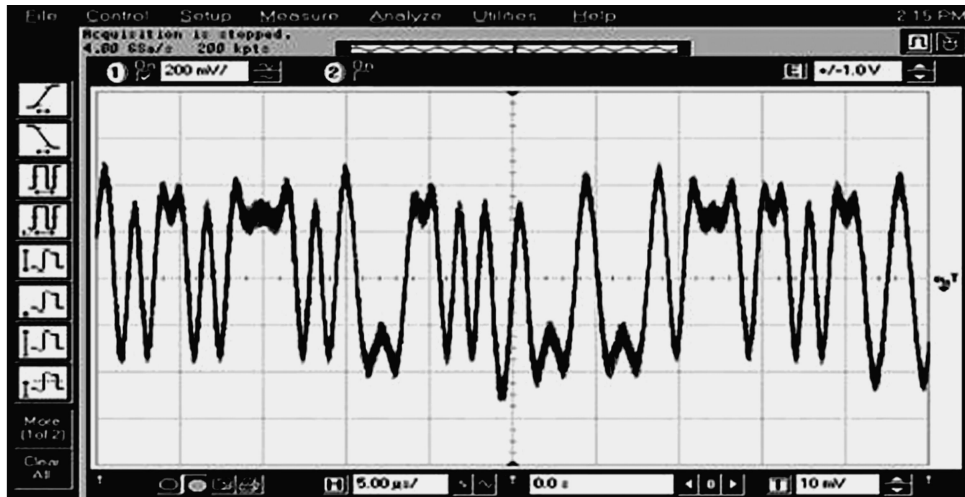


图 5 升余弦滚降基带波形示波图

形是一致的.

#### 4 结束语

在许多应用领域,要求数字滤波器工作在很高的频率上.专用集成电路由于具有速率高、面积小和性能可靠等特点,已成为高速数字滤波器实现中首选的方案.本文介绍了一种用于高速无线数字通信的基带成型滤波器的设计方法.该方法采用基于 ROM 查找表的分布式算法,占用系统资源相对于传统方法有很大的降低,电路测试结果验证了设计的正确性.

#### 参 考 文 献

- 1 Zhu W P, Ahmad M O, Swamy M N. ASIC implementation architecture for pulse shaping FIR filters for 3 G mobile communications[J]. IEEE Transaetion on Concmunilations, 2001, 48(4): 433 ~ 436
- 2 King M S, Chung J G. Look-up table based pulse-shaping filter[J]. Electronics Letters, 2002, 36(17): 1 505 ~ 1 507
- 3 牟 丹. 3 G移动通信中脉冲成形 FIR 滤波器的 ASIC 实现结构[J]. 电讯技术, 2004. 24(3): 153 ~ 156
- 4 Proakis J G. 数字通信(影印版)[M]. 北京:电子工业出版社, 2001. 321 ~ 325
- 5 童诗白. 模拟电子技术基础[M]. 北京:高等教育出版社, 1987. 410 ~ 412

### Implementation of Raised-Cosine Roll-Off Pulse Shaping Interpolated Filter Based on FPGA

Chen Donghua

(College of Information Science and Engineering, Huaqiao University, 362021, Quanzhou, China)

**Abstract** In wireless digital communications, base-band signals are specially shaped using interpolated filter to suppress out-band interferes. Design methods of a high speed FIR shaping filter applied in wireless digital transmission systems are discussed in detail. Hard ware circuits for raised-cosine roll-off pulse shaping filter based on FPGA are implemented according to distributed lookup table algorithms aiming to lower expenses and increase working speed. The superiority of the methods was proved through the conformity of results obtained from experiments and simulations.

**Keywords** raised-cosine roll-off base-band, shaping filter, distributed algorithm, lookup table, FPGA