

文章编号 1000-5013(2004)02-0206-04

模拟 I²C 总线从器件的一种方法

王佳斌 戴在平

(华侨大学信息科学与工程学院, 福建 泉州 362011)

摘要 I²C BUS (Inter Integrated Circuit BUS 内部集成电路总线) 是由 Philips 公司推出的二线制串行扩展总线。I²C 总线是具备总线仲裁和高低速设备同步等功能的高性能多主机总线。利用 51 单片机的两根普通的 I/O 线, 模拟 I²C 总线从器件给出源程序。这些程序都在已研制的 CDMA 直放机监控模块的 I²C 总线接口中获得验证和通过。

关键词 I²C 总线, 从器件, 单片机模拟

中图分类号 TN 914.53 TP 336 TP368.1

文献标识码 B

1 问题的提出

我们研制的 CDMA 直放机监控模块和它上级的控制模块之间, 是以 I²C 进行数据交换的。它要求监控模块的 I²C 设计成从设备, 以供上级控制模块随时读取数据。虽然可以使用现成的 I²C 转换接口器件(如 Philips 的 PCF8584)来做, 但考虑到研制成本、节约空间和降低电路的复杂性, 还是采用了利用现有的 89C2051 富余的两条 I/O 线来模拟 I²C 总线从器件的方法。用 51 模拟主器件的文章很多, 但模拟从器件的却很少见。模拟从设备的难点, 在于如何正确遵循 I²C 总线的时序, 在参考文献 [1~3] 的基础上, 经过多次实验, 最终取得满意的结果。

2 I²C 总线概述^[1]

I²C 总线使用两根信号线来进行数据传输, 一根是串行数据线(SDA), 另一根是串行时钟线(SCL)。它允许若干兼容器件(如存储器、A/D 和 D/A 转换器, 以及 LED, LCD 驱动器等)共享总线。总线上所有器件要依靠 SDA 发送的地址信号寻址, 不需要片选线。I²C 总线的器件也可以工作在多主器件的方式下面。但任何时刻总线只能由一个主器件控制, 各从器件在总线空闲时启动数据传送, 由 I²C 总线仲裁来决定哪个主器件控制总线。

下面介绍 I²C 总线的协议。总线空闲时, SCL 和 SDA 都保持高电平。启动信号, SCL 保持高电平的状态下, SDA 出现下降沿。出现开始信号以后, 总线被认为“忙”。停止信号, SCL 保持高电平的状态下, SDA 出现上升沿。停止信号过后, 总线被认为“空闲”。时序如图 1 所示。总线忙时, 在数据传送开始以后, SCL 为高电平的时候, SDA 的数据必须保持稳定。只有当 SCL 为低电平的时候, 才允许 SDA 上的数据改变。

I²C 总线的传送格式为主从式, 对系统中的某一器件来说有 4 种可能的工作方式。主发送方式, 从发送方式, 主接收方式, 从接收方式。时序如图 2 所示。

(1) 主发送从接收。主器件产生开始信号以后, 发送的第 1 个字节为控制字节。前 7 位为从器件的地址片选信号。最低位为数据传送方向位(高电平表示读从器件, 低电平代表写从器件), 然后发送 1 个

收稿日期 2003-10-13

作者简介 王佳斌(1974-), 男, 讲师, 在职博士研究生, 主要从事智能仪器与神经网络和混沌神经网络的研究。

E-mail: fatwang @pub2. qz. fj. cn

选择从器件片内地址的字节,来决定开始读写数据的起始地址.接着再发送数据字节,可以是单字节数据,也可以是一组数据,由主器件来决定.从器件每接收到 1 个字节以后,都要返回 1 个应答信号 ASK = 0.主器件在应答时钟周期高电平期间释放 SDA 线,转由从器件控制,从器件在这个时钟周期的高电平期间必须拉低 SDA 线,并使之成为稳定的低电平,作为有效的应答信号.

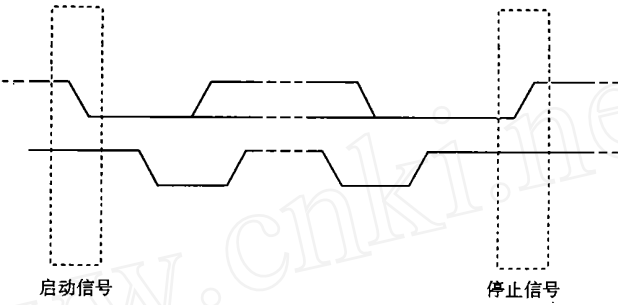


图 1 I²C 总线的启动信号和停止信号

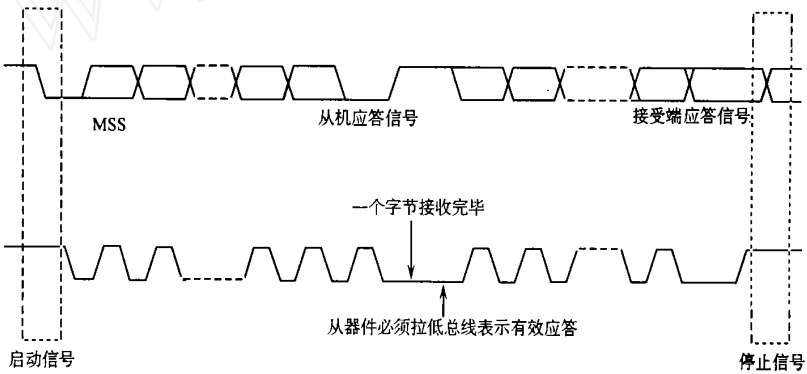


图 2 数据传送及应答

(2) 从接收主发送. 在开始信号以后,主器件向从器件发送控制字节. 如果从器件接收到主器件发送来的控制字节中的从地址片选信号,并与该器件相对应,且方向位为高电平 ($R/W = 1$),就表示从器件将要发送数据.从器件先发送 1 个应答信号 $ASK = 0$ 回应主器件,接着由从器件发送数据到主器件.如果在这个过程之前,主器件发给从器件 1 个片内地址选择信号,那么从器件发送的数据就从该地址开始发送;如果在从器件接收到请求发送的控制信号以前,没有收到这个地址选择信号,从器件就从最后一次发送数据的地址开始发送数据.发送数据过程中,主器件每接收到 1 个字节都要返回 1 个应答信号 ACK .若 $ACK = 0$ (有效应答信号),那么从器件继续发送;若 $ACK = 1$ (停止应答信号),停止发送.主器件可以控制从器件从什么地址开始发送,发送多少字节.

3 I²C 总线从器件在 AT89C2051 上的软件实现^[2]

我们重点阐述从器件的模拟.下面的程序是基于图 3 的连线^[3]及 12 M 晶体振荡器频率,并且具有如下的定义.即

```
SCL BIT P3.4
SDA BIT P3.5
```

启动信号的检测子程序为

```
START: JNB SCL, START ;等待 SCL 高电平
SDAL1: JNB SDA, START ;等待 SDA 高电平
        JNB SCL, START ;确认 SCL 高电平
SDAH1: JB SDA, SDAH1 ;等待 SDA 低电平
SCH: JB SCL, SCH ;等待 SCL 低电平
RET
```

当从器件检测到 SCL 为高电平期间, SDA 有下降沿产生, 则认为是数据传送的启动信号. 停止信号检测子程序为

```

STOP:  JNB    SCL,    STOP    ;等待 SCL 高电平
SDAH2:  JB     SDA,    STOP    ;等待 SDA 低电平
        JNB    SCL,    STOP    ;确认 SCL 高电平
SDAL2:  JNB    SDA,    SDAL2   ;等待 SDA 高电平
SCH1:   JB     SCL,    STOP    ;等待 SCL 低电平
        RET

```

当从器件检测到 SCL 为高电平期间, SDA 有上升沿产生, 则认为是数据传送的停止信号. 接收 1 个字节子程序为

```

REV:  MOV    R5,    #08H    ;接收 8 位
      CLR    A
HIG:  JNB    SCL,    HIG     ;等待 SCL 高电平
      MOV    C,    SDA      ;从 SDA 线上读取一位数据
L1:   JB     SCL,    L1      ;等待 SCL 低电平
      RLC    A              ;该位数据移入累加器
      DJNZ   R5,    HIG     ;判断是否已经接收 8 位了
      RET

```

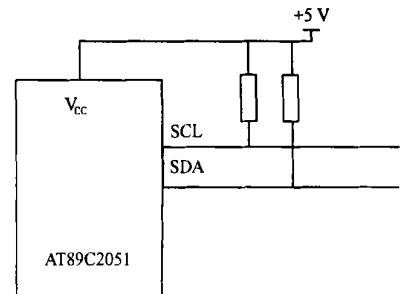


图 3 连线图

在 SCL 高电平期间读取 SDA, 经过八次读到 8 位数并存储在累加器 A 中. R5 用来决定循环次数, 出口参数为 A. 发送 1 个字节子程序为

```

SEND:  MOV    R5,    #08H    ;发送 8 位
HIG1:  JNB    SCL,    HIG1    ;等待 SCL 高电平
      RLC    A              ;从 A 左移出一位数据作发送准备
      MOV    SDA,    C        ;一位数据从 SDA 送出
LOW1:  JB     SCL,    LOW1     ;数据必须维持到 SCL 低电平
      DJNZ   R5,    HIG1     ;判断是否已经发送 8 位
      SETB   SDA             ;释放 SDA 线
      RET

```

在 SCL 高电平期间发送一位数到 SDA 线上, 入口参数是累加器 A. 在调用子程序之前, 将要发送的数据送 A, R5 用来决定循环次数. 检测应答信号子程序为

```

ACKI:  JNB    SCL,    ACKI    ;等待 SCL 高电平
      MOV    C,    SDA      ;读取 SDA 的值
      RET

```

该子程序用来检测主器件发送的应答信号, 出口参数是 C. 发送应答信号子程序为

```

ACKO:  JNB    SCL,    ACKO    ;等待 SCL 高电平
      CLR    SDA             ;将 SDA 拉低作为应答
      ACALL  DELAY           ;延时
      SETB   SDA             ;释放 SDA 线
      RET

```

该子程序用来发送应答信号. 每收到 1 个字节数据后, 从器件都必须发送应答信号给主器件, 否则主器件将停止发送数据. 但要特别注意在发送完应答信号后应及时释放 SDA 线, 否则将导致无法继续接受数据, 最终数据传送失败. 延时子程序为

```

DELAY: NOP
      NOP
      NOP

```

RET

在上述子程序的基础上,给出从器件模拟的程图,如图 4 所示.

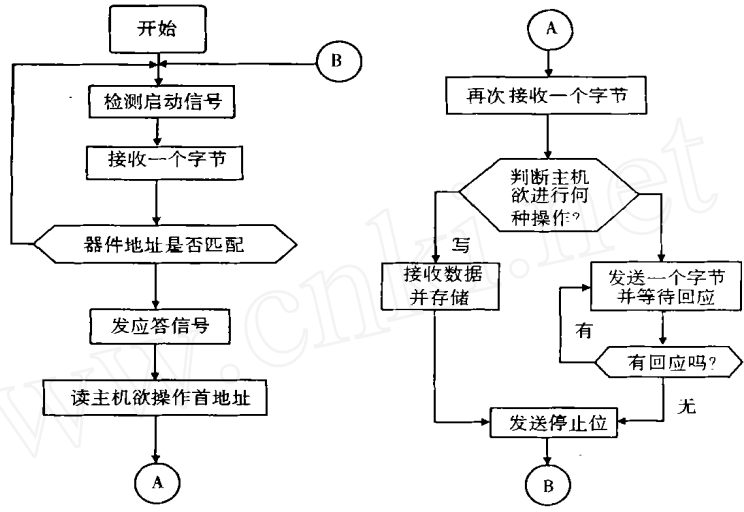


图 4 流程图

以上程序已经在 CDMA 直放机监控模块的 I²C 总线接口中验证通过.

4 结束语

用 51 的普通 I/O 口来模拟 I²C 总线的从器件,可以降低研制成本、节约空间和降低电路的复杂性,在实际应用中有重大意义. 由于采用的是单片机的 I/O 口模拟, I²C 总线的工作速率受所采用单片机的工作主频的影响. 另外根据主器件的时序要求不一样,可以通过调整程序中的延时时间来达到要求.

参 考 文 献

1 周正干,李和平. 虚拟 I²C 总线软件包的开发及其应用[J]. 单片机与嵌入式系统应用,2001,(3):43~48
2 戴在平. 双 IC 卡出租保险箱系统设计[J]. 华侨大学学报(自然科学版),1998,19(3):319~322
3 邱宣振,缪煜新. 现场总线工程问题考虑[J]. 自动化仪表,2001,22(8):37~38

A Method of Simulating a Slave Device with I²C Bus

Wang Jiabin Dai Zaiping

(College of Info. Sci. & Eng., Huaqiao Univ., 362011, Quanzhou, China)

Abstract I²C bus (internal integrated-circuit bus) as a bus of high performance is a serial extended bus of two-wire system presented to public by Philips Co.. It is a bus for multiple master computers with bus arbitration and high or low speed synchronization. The authors present here the method of simulating a slave device with I²C bus by using two common I/O wires of Model 51 single-chip microcomputer. These programs have been validated at the interface of I²C bus in the watch module of CDMA direct amplifier developed by the authors.

Keywords I²C bus, slave device, simulation by single-chip