

文章编号 1000-5013(2001) 01-076-04

用 CPLD 实现的 FIR 滤波器

凌朝东 刘 蓉 林 旭

(华侨大学信息科学与工程学院, 泉州 362011)

摘要 介绍一种用在系统可编程逻辑器件(CPLD)设计 FIR 滤波器的方案. 该方案采用 Lattice 公司 ispLSI CPLD 芯片, 并利用窗函数法实现线性 FIR 数字滤波器硬件电路的方法, 从而提高了 FIR 数字滤波器的实时性. 设计一个十阶低通 FIR 数字滤波器, 并通过软件程序进行仿真验证和硬件实测. 结果表明, 此电路工作正确可靠, 实时性好, 灵活性强, 能满足设计要求.

关键词 CPLD, FIR 数字滤波器, 窗函数, 乘法器, 串联加法器

中图分类号 TN 713⁺. 7; TP 332. 1

文献标识码 A

FIR 数字滤波器广泛地应用于数字信号处理(DSP)系统, 例如通信、数字图象处理、声音信号处理、雷达/声纳系统等. 传统的 FIR 数字滤波器一般采用通用 DSP 处理器或专用数字信号处理超大规模集成电路^[1]. 在系统可编程逻辑器件(CPLD)的出现, 为 FIR 数字滤波器的设计提供了一种新的途径^[2]. CPLD 具有高速、成本低廉、设计周期短和应用灵活等特点, 可以实现专用集成电路. 用 CPLD 实现的数字滤波器内部电路结构透明, 实时性好, 且减小了硬件电路体积, 提高了工作效率. 本文着重讨论用 CPLD 实现 FIR 数字滤波器时乘法器和加法器结构的设计, 以及 CPLD 工作时钟与采样频率及最大时延间的关系. 以一个十阶低通 FIR 数字滤波器电路的实现为例, 说明了利用 Lattice 公司 ispLSI 1000 系列 CPLD 芯片的设计过程.

1 窗函数法设计线性相位 FIR 数字滤波器的方法

FIR 数字滤波器的基本结构是一个分节的延时线, 每一节的输出加权累加, 得到滤波器的输出. 数学上它^[3]可表示为

$$y(n) = \sum_{i=0}^{N-1} C_i x(n-i). \quad (1)$$

$x(n)$ 是最近($t = kT$)的输入信号, $x(n-i)$ 是延时了 i 个取样周期的输入信号, C_i 是第 i 个延时节的加权值(也就是滤波器系数), $y(n)$ 是时刻 $t = kT$ 时滤波器的输出信号, N 为滤波器的长度或称为滤波器的阶数. 由于线性相位 FIR 滤波器的冲激响应系数 $h(n)$ 具有对称特性, 因此对于一个线性相位 FIR 滤波器, 式(1)可改写为

$$y(n) = \sum_{i=0}^{N/2-1} C_i [x(n-N+i)]. \quad (2)$$

其结构如图 1 所示. 采用此结构, 可减少一半的乘法器. 滤波器系数 G_i , 也就是 FIR 滤波器的冲激响应系数 $h(n)$. 它可以直接从对应的冲激响应序列 $h_d(n)$ 中截取, 但这种有限截断的方法会产生吉布斯振荡. 解决这一问题的一个基本方法是采用各种窗函数和合适的截取长度, 使所设计的 FIR 滤波器有合乎要求的阻带衰减和过渡区宽度^[1].

“加窗法”是利用有限“加权”序列 $\{w(n)\}$, 即所谓“窗”序列来修正 $h_d(n)$, 以控制其傅氏级数的收敛. 因此, 有

$$h(n) = h_d(n)w(n). \tag{3}$$

低通滤波器的频率响应函数 $H(e^{j\omega})$, 可表示为

$$H(e^{j\omega}) = \begin{cases} e^{-j\omega(N-1)/2} & 0 < \omega < \omega_c \\ 0 & \omega_c < \omega < \pi \end{cases} \tag{4}$$

其中 ω 为对抽样频率归一化的频率, ω_c 为归一化截止频率. 利用反傅立叶变换公式, 式(4) 对应的冲激响应 $h_d(n)$ 可表示为

$$h_d(n) = \frac{\sin[\omega_c(n - \frac{N-1}{2})]}{\pi[n - (\frac{N-1}{2})]}. \tag{5}$$

窗函数选用海明窗(Hamming), 可表为

$$w(n) = \begin{cases} 0.54 - 0.46\cos(2\pi n/N) & 0 \leq n \leq 2N \\ 0 & \text{其它} \end{cases} \tag{6}$$

2 参数化的 FIR 滤波器模块设计

下面以一个十阶 FIR 低通滤波器为例, 说明硬件电路的设计方法和过程.

2.1 设计指标及参数提取

采样频率= 21.4 kHz, 截止频率= 1.0 kHz; 类型为低通, 阶数为十阶; 输入数据宽度= 8 位, 输出数据宽度= 8 位, 累加器数据宽度= 10 位. 依以上设计指标的线性相位滤波器的参数, 由程序 KC 计算得出. 其特性参数为 $h[0] = h[9] = 0.005484$, $h[1] = h[8] = 0.014609$, $h[2] = h[7] = 0.039243$, $h[3] = h[6] = 0.069659$, $h[4] = h[5] = 0.090539$.

2.2 FIR 滤波器的结构和单元电路设计

FIR 滤波器的实现, 可采用并行和串行两种方式. 并行方式速度较快, 但容量大, 资源占用多; 而串行方式加法器采用累加, 资源占用大大减小, 但其速度低. 考虑资源有限的情况, 设计采用串行实现. 图 2 给出 FIR 低通数字滤波器构成框图. 它包含移位寄存器组、10 路选择开关、系数寄存器、乘法器、累加器、A/D 转换控制器、系统控制器、锁存输出等单元电路.

2.2.1 快速加法器 加法器的实现有多种方式. 各种加法器特色不一, 串联加法器结构简单, 但速度慢. 并行加法器速度快, 对实现 4 位以下的加法器较合适, 但增加位数在 CPLD 中

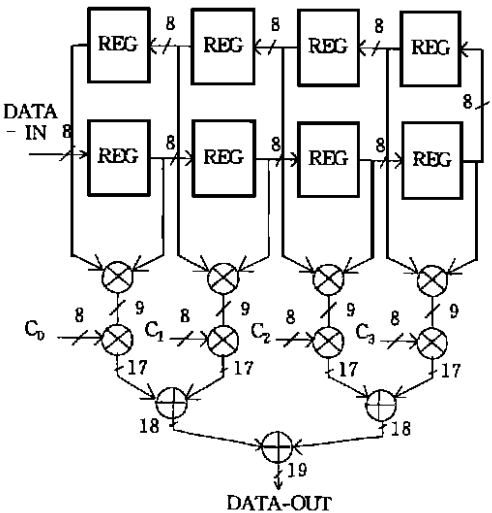


图1 八阶8位FIR滤波器

受到资源限制. 流水线加法器将每一步运算结果都用寄存器暂存, 总的效果是每个加法运算平均耗费的时间等于锁存时钟周期, 但其占用资源也较串联型大很多^[6]. 本设计须处理 10+10 加法运算, 用并行法和流水线法资源占用会比较大, 因此采用串联加法器.

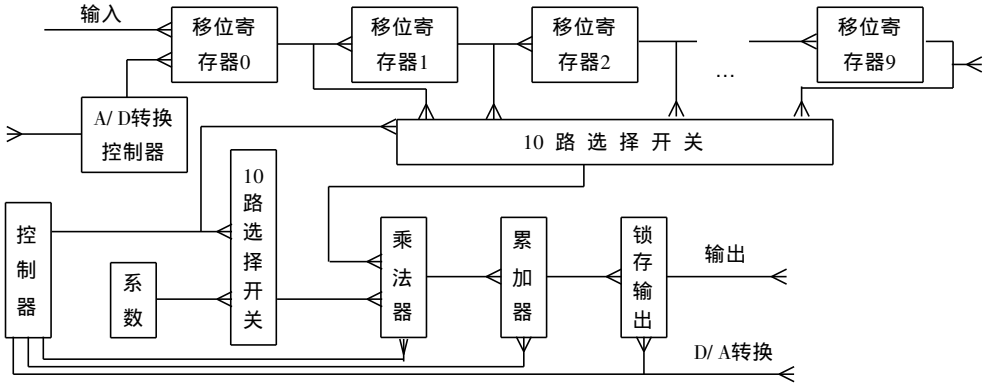


图2 FIR数字滤波器电路结构框图

2. 2. 2 快速乘法器 快速乘法器采用移位相加型、查询表型、加法器树型等. 移位相加较常用, 其实现简单但速度慢. 查询表型速度快, 对小型乘法器非常合适, 但随着操作数精度的提高, 查询表变得非常庞大. 加法器树乘法器是由移位相加器和查询表组成, 8 位乘法器需要 15 个 16 位加法器和 64 个与门. 综合考虑, 本设计采取移位相加乘法器以节省资源和时间.

2. 2. 3 CPLD 时钟与 A/D 采样频率 CPLD 的最高时钟频率 f_{\max} 将限制 A/D 采样频率 f_{sam} , 因此也限制了滤波器的最大截止频率点. 它们与滤波器的阶数 N 、移位寄存器时钟数 S_{shift} , 以及累加时钟数 S_{ADDC} 之间的关系为

$$f_{\text{sam}} = \frac{f_{\max}}{(S_{\text{shift}} + S_{\text{ADDC}})} \text{ (并行结构)}, \quad f_{\text{sam}} = \frac{f_{\max}}{N(S_{\text{shift}} + S_{\text{ADDC}})} \text{ (串行结构)}.$$

根据奈奎斯特采样定理, 采样频率必须大于 2 倍的截止频率 f_c 即 $f_{\text{sam}} > 2 * f_c$. 输入与输出波形总的时间延迟 T_t , 由 $T_t = T_{\text{sam}} + T_{\text{PLD}} + T_F$ 确定. 其中 T_{sam} 为采样周期, T_{PLD} 为 CPLD 进行一次滤波的运算时间 T_F 为 FIR 滤波器本身的群延时间.

3 硬件资源及结果

本文所设计的十阶 FIR 数字滤波器, 最后由两片 CPLD 共同完成. 其中 ispLSI1048c 包含移位寄存器组、10 路选择开关、系数寄存器、乘法器、系统控制器、A/D 转换控制器等单元电路; ispLSI1032E 包含累加器、锁存输出等单元电路. 其硬件资源占用情况, 如表 1, 2 所示.

表 1 ispLSI1048c 的硬件资源占用情况

项 目	使用数量	占用率/(%)
I/O PINS	35	32
GLBS	39	79
NETS	203	51

表 2 ispLSI1032E 的硬件资源占用情况

项 目	使用数量	占用率/(%)
I/O PINS	35	43
GLBS	26	81
NETS	115	57

所设计的十阶 FIR 数字低通滤波器, 通过 AD0809 和 DA0832 转换器与测量仪器连接. 尔后测得其幅频特性和相频特性, 如图 3、4 所示. 从幅频特性曲线图 3, 可以看出-3dB 所对应的

频率为 1.7 kHz 左右. 截止频率的误差, 主要由 A/D 转换输入的量化误差和滤波器系数的量化误差产生. 本设计采用的 A/D 转换器精度只有 8 位, 系数精度也只有 8 位. 如果采用精度

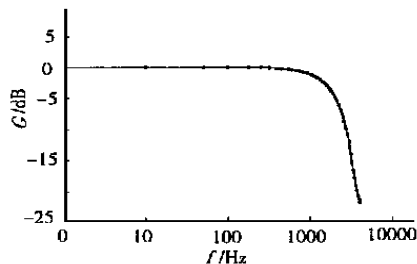


图 3 FIR 数字低通滤波器幅频特性

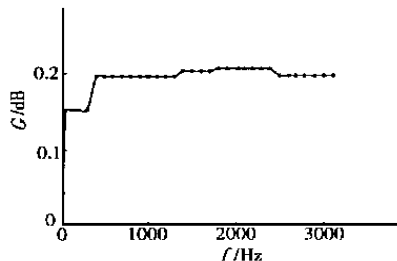


图 4 FIR 低通滤波器相频特性

较高的 A/D 转换器, 并应用切比雪夫等波纹逼近的优化设计方法, 则可以得到最佳的线性相位 FIR 滤波器^[8]. 图 4 是低通滤波器的相频特性曲线. 从总体上来说, 此滤波器的相位是线性的, 其固定延迟时间大约为 280 μs . 也即采样周期 47 μs , PLD 实现一次滤波处理时间 20 μs , 以及 FIR 滤波器本身所具有的群延迟时间 210 μs 的总和. 本次设计的十阶线性相位 FIR 滤波器, 利用 Lattice 公司的 ispLS1048c 和 ispLS11032E 实现时, 处理数据的系统时钟频率为 6 MHz, A/D0809 采样速率为 21.4 kHz, 测出用 PLD 实现滤波器的内部延时仅为 20 μs . 在实际使用时, 可以根据不同精度要求, 如换用转换速度更快的 A/D 芯片, 改用容量更大的 CPLD 芯片, 以及采用并行方式, 则滤波器的内部延时将大大减小, 实时性能更为显著.

参 考 文 献

- 1 吴镇场. 数字信号处理的原理与实现[M]. 南京: 东南大学出版社, 1997. 151 ~ 163
- 2 潘 松. CPLD/FPGA 在电子设计中的应用前景[J]. 电子应用技术, 1999, 25(7): 4 ~ 7
- 3 彭启琮, 李玉柏, 管 庆. DSP 与实时数字信号处理[M]. 成都: 电子科技大学出版社, 1995. 114 ~ 124
- 4 王世一. 数字信号处理[M]. 北京: 北京理工大学出版社, 1997. 225 ~ 239, 248 ~ 258
- 5 杨 晖, 张凤言. 大规模可编程逻辑器件与数字系统设计[M]. 北京: 北京航空航天大学出版社, 1998. 148 ~ 156

Implementation of a FIR Filter by Using CPLD

Ling Chaodong Liu Rong Lin Xu

(Dept. of Info. Sci. & Eng., Huaqiao Univ., 362011, Quanzhou)

Abstract This paper presents a way of designing FIR filter, using CPLD. It realized a hardware circuit of linear digital FIR filter by the chips of lattice ispLSI and the method of window function. Thus the real-time performance of FIR digital filter is increased. Simulation verification and hardware measurement are given on a tenth order and lowpass digital FIR filter through software program. The results have shown that the operation of the circuit is able to meet the requirement of design, with high reliability, good real-time performance and enough flexibility

Keywords CPLD, FIR filter, window function, multiplier, series adder