

文章编号 1000-5013(2004)02-0145-05

DSP 多路同步数据采集板设计

郑力新 周凯汀 方瑞明 黄东海

(华侨大学信息科学与工程学院, 福建 泉州 362011)

摘要 介绍基于 DSP 的同步采集与处理系统, 分析并给出设计思想及原理框图. 该分析内容包括 DSP 板卡中 DSP 存储空间的具体配置, CPLD 在 DSP 数据采集与处理系统中的逻辑控制方法, DSP 片上串口与 PC 机 RS232 串行通讯的方法, 以及 DSP 与虚拟仪器相结合, 采用虚拟仪器进行 DSP 辅助信息处理的方法.

关键词 DSP, CPLD, 同步数据采集, RS232 通讯, 虚拟仪器

中图分类号 TP274+.2; TP 368

文献标识码 A

DSP 是数字信号高速实时处理的专用处理器, 处理速度比单片机还快 10~50 倍^[1], 并在处理器结构、指令系统、指令流程上做了很大的改动. 业内人士预言, DSP 将是未来电子产品更新换代的决定因素. 本文介绍的是基于 TMS320F206(DSP 芯片)和 MAX125/126(ADC 芯片)的 32 路数据采集系统设计^[2], 可广泛用于电力系统参数测量等多路高速数据采集和处理领域.

1 板卡的原理分析及其总体框图

本设计把板卡分为如下几个模块, 即 A/D 采样模块、DSP 模块、外部存储器扩展模块、逻辑控制模

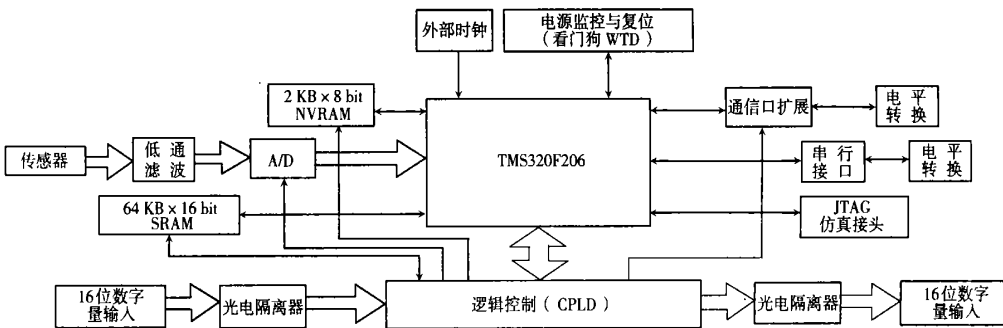


图 1 板卡原理框图

块、通讯口扩展模块、数字输入输出模块及电源监视和看门狗模块. 板卡原理的总体框图, 如图 1 所示.

1.1 CPU 的选择

所选用 TMS320F206, TI 公司的产品, 在世界范围内占有相当的比重. C20X 中的 F206 是设计成本最底、结构功能较简单的定点 DSP. 其片内有 32 KB Flash, 4.5 KB RAM, 可满足中规模的应用, 具有很高的性价比.

1.2 板卡的前向信道和后向信道

在本板卡上, 信号输入端只设计滤波电路, 用于消除噪声和不必要的干扰. 滤波器采用 MAX291 八阶滤波集成芯片, 有一个陡峭的截止频率. 因而, 基本能消除高频干扰信号, 且外围电路简单可靠. A/D

收稿日期 2003-10-21

作者简介 郑力新(1967), 男, 副教授, 在职博士, 主要从事智能仪器和系统控制的研究. E-mail: zlx@hqu.edu.cn

基金项目 华侨大学科研基金资助项目(02HJR05)

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

芯片选择的好坏,将影响整个数据采集系统的性能. MAX125 单路转换时间为 $3\ \mu\text{s}$, 4 路同时转换时间 $12\ \mu\text{s}$. 本板卡采用 4 片 MAX125, 可对 16 路模拟信号同时进行采样(分时转换为 32 路). 同时, 采样可以保证信号计算的时间准确性. 这点在电力系统参数测量时, 尤为重要. 本板卡采用 3 种类型的光电隔离器, 分别用于数字 I/O 端口的隔离、串口通讯隔离和处理器接口中的数字隔离. 其中, 16 路数字输入端口采用 4 片 TLP521-4, 16 路数字输出端口采用 4 片 TIL199, 扩展口与外设通讯中用 2 片 HCPL-2630. 此外, 在数字量输出给 DSP 的反馈中采用 1 片 TLP521-1, CPLD 输出数字量输出控制信号采用 1 片 TIL197, RS422/RS485 扩展中采用了 2 片 TLP121. 上述光耦合器件可分成 3 类. 第 1 类为三极管输出, 有 TLP521-4, TLP521-1, TLP121. 第 2 类为达林顿管输出, 有 TIL199, TIL197. 第 3 类为高速光耦合输出, 有 HCPL-2630.

1.3 CPLD 在 DSP 板卡逻辑控制中的应用

由于 DSP 的强项在于数字信号处理, 而不在于电路或芯片间的信号逻辑控制. 而 CPLD 具有强大的逻辑控制功能^[3], 且开发与升级系统方便. 因而, 可以把 DSP 和 CPLD 结合起来使用, 以构成功能强大的处理与控制板卡. CPLD 的逻辑控制主要用于 5 个方面. (1) 板卡工作时, A/D 转换器的片选、触发、中断和提供其时钟. (2) DSP 读外部存储器时, 给外部 SRAM 或 NVRAM 提供片选信号. (3) 由于扩展接口芯片有 2 个串口和 1 个并口, DSP 对其通讯端口操作时的片选和中断也由 CPLD 产生. (4) 16 路数字量的输入经过 CPLD 的逻辑处理, 再由数据总线送到 DSP 的存储器. (5) 16 路数字量的输出由 DSP 处理器产生, 经由数据总线送到 CPLD 经适当处理送出. 逻辑控制采用 2 片赛普拉斯(Cypress)公司的 Ultra 37000 CPLD 系列的高密度可在线重复编程(ISR) CPLD CY37064P100. SRAM 采用 Cypress 的 CY7C1021, NVRAM 采用 DALLAS 系列的 DS 1286. 它是一片包含实时时钟、报警、看门狗定时器、间隔定时器的 28 脚 JEDEC DIP 封装的看门狗计数器. 该电路用于检测芯片电源状态, 当电源电压低于门限电压时, 内容写入保护. 在断开芯片电源 V_{cc} 后, NVRAM 的内容可以保存大于 10 a 的时间.

1.4 外部接口扩展芯片

为了拓展串口功能, 本板卡采用 TI 公司的 TL16C552. TL16C552 是带 FIFO 的双路异步串行通讯收发器, 具有两个通用的异步通讯组件 TL16C550. 该芯片提供两个基于微计算机或微处理器, 可同时使用的输入输出异步串口, 分别可对数据位数、奇偶校验、停止位及波特率等进行编程. DSP 和 PC 机的 RS232 串口通讯, 需经过电平转换. 该设计采用两片 MAX232. 为了增强板卡的通用性, 其中 1 路再用 1 片 MAX1486, 使板卡可用 RS422/RS485 与外部设备进行通讯. 当板卡的 DSP 芯片电源低于门限电压或 DSP 的软件运行出错时, 需要对 DSP, CPLD 和外部通讯接口等芯片进行复位, 使板卡从错误的工作状态还原. 因此, 需要 1 片电源监视与保护, 以及具有看门狗功能的芯片. 本板卡选用 MAX1232.

2 DSP 接口电路简介

2.1 板卡中 DSP 芯片的设置

(1) DSP 工作模式系统的设定. DSP 可设置为处理器模式和微计算机模式. 本设计的板卡把 DSP 设置为微计算机模式, 使用 F206 内带的 FLASH RAM 作为程序存储器. 其方法为把引脚置低, 拉至地端. (2) READY 引脚与 $\overline{\text{NMI}}$ 中断引脚的处理. 不使用 READY 信号, 把 READY 引脚拉至高电平; 不用 $\overline{\text{NMI}}$ 中断引脚, 把该引脚拉至高电平. (3) DSP 主频的设定. 考虑到可靠性, 本设计选定 DSP 的主频为较低的 20 MHz, 此时其指令执行速度为 $20\ \text{MB}\cdot\text{s}^{-1}$, 单周期指令执行时间为 50 ns. 设置方法如下: 将 X1 引脚悬空, 在 X2/CLKIN 引脚上接一封装好的频率为 10 MHz 的外部晶振; DIV1 接至地端, 而 DIV2 和 PLL5V 接至电源端, 使得 DSP 的内部时钟为外部振荡器的 2 倍频, 即内部时钟频率为 20 MHz.

2.2 DSP 与 A/D 转换芯片的接口

DSP 与 A/D 转换器件接口设计中, 通常要考虑 5 个关键问题. (1) 本板卡采用的 MAX125 为双极性输入标准信号($-5\sim+5\text{V}$). 模拟前向通道中, 为多通道输入. 本设计中通过软件来选取通道号. (2) A/D 数字量输出端与 CPU 连接. 由于 MAX125 内含输出锁存器, 故本 A/D 可与 DSP 直接相连. (3) A/D 芯片的启动方式. A/D 芯片需外加一个启动信号才能开始工作. 不同的芯片启动方式也不同, 分为脉

冲启动和电平启动. 由芯片手册可知, MAX125 为脉冲启动方式. 当 CPLD 发出一个 $\overline{\text{CONVST}}$ 脉冲(低电平有效)后, 脉冲的上升沿开始数据转换. (4) 参考电源的配置. 参考电源的作用是供给芯片内部 D/A 工作的标准电源, 它直接关系到 A/D 转换的精度, 因而对该电源要求较高. MAX125 是 14 位的高精度 A/D, 其内置+ 2.5 V 参考电压. 只需在参考输入端 REFIN 旁路有 1 个 0.1 μF 电容到地、参考输出端 REFOUT 旁路有一个 4.7 μF 到地, REFGND 直接接地即可. (5) 转换数字量的读取方法. A/D 转换结束时, 其内部触发器置位, 并输出一个结束标志信号, 通知 DSP 可以读取转换结果了. DSP 可以通过查询、中断或软件延时 3 种方式, 来检查判断 A/D 转换是否结束并读取数据. 本设计中采用中断方式, 以提高 DSP 的效率和实时性能. DSP 与 A/D 采样电路的接口图, 如图 2 所示.

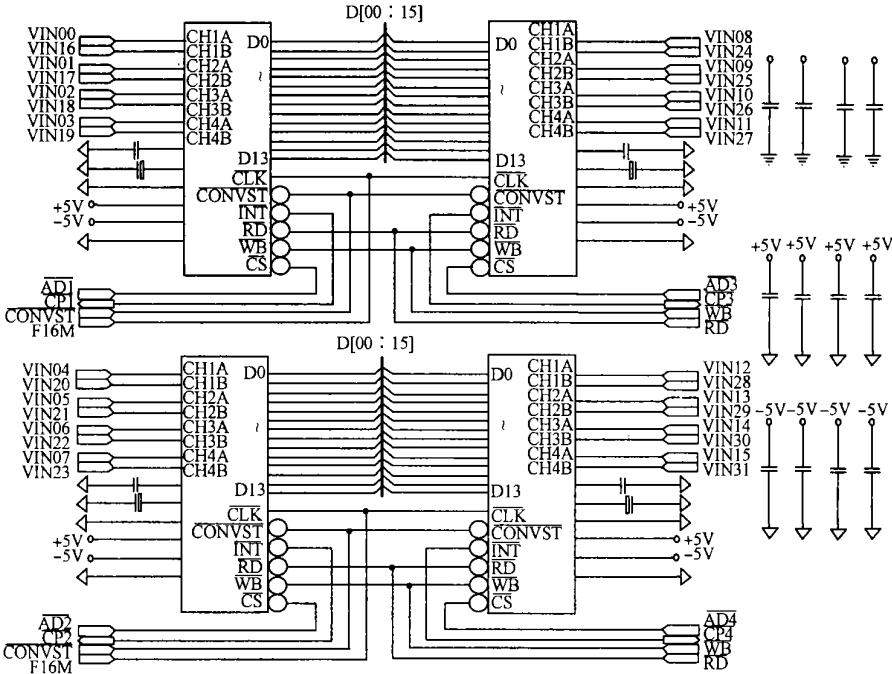


图 2 DSP 与 A/D 的接口

2.3 DSP 与外部扩展存储器的接口

存储器是计算机中最重要的部件之一, 它的存取时间和容量直接影响着计算机系统的操作性能. 虽然 DSP 内有 544 KB 的片内 DARAM, 4.5 KB 片内 SRAM 和 32 KB FLASH RAM, 但如此小的内存对数据处理量大的工业控制应用系统来, 是远远不够的, 必须进行外部数据存储器的扩展. 外部 RAM 一般不用 DRAM, 而只用 SRAM. 此时, SRAM 的地址被映像和数据空间. 由于本板卡采用的外部存储器 CY7C1021 是高速存储器, 其地址到数据的有效时间 t_{AA} 仅为 12 ns, 而采用的 NVRAM 的数据建立时间 (Data Setup Time) t_{DS} 为 45 ns, 均小于 DSP 的指令周期 50 ns. 故 DSP 的数据总线和地址总线, 可与外部扩展 SRAM 和 NVRAM 直接相连. 扩展存储器的访问控制信号有 CPLD 发出, 接口如图 3 所示.

2.4 DSP 板卡的电源监测与看门狗电路

本设计用 MAX1232 芯片作为 DSP 电源监视和程序可编程看门狗电路, 电路如图 4 所示. MAX1232 是具有监视微处理器(μP) 内部运行状况, 以及监视微处理器电源功能的微处理器监视电路. 其功耗仅为 DS1232 的 1/10. 该芯片通过监视微处理器系统的电源供给、软件运行情况在系统出现问题时发出复位信号, 以增强系统电路的可靠性能. 在系统供电、断电及低电压供电时, 该芯片能提供不小于 250 ms 的复位脉冲信号. 亦可手动对系统复位. 当 DSP 为 5 V (电源不稳定或波动) 时, 若小于门限电压 (可调为 4.5 V 或 4.7 V) 会产生脉宽至少为 250 ms 的复位脉冲, 让系统复位. 本电路把 TDL 引脚接地, 把其阈值电压设为低于电源电压 5%, 即为 4.5 V. 芯片中的看门狗定时器是数字可编程的可监视软件运行的定时器, 其输出时间可由软件设定为 150 ms, 600 ms 或 1.2 s. 该芯片无需外部组件. 把 TD 引脚接地, 将内部定时器的刷新时钟间隔定位 150 ms. 若在 150 ms 内没刷新脉冲刷新定时器, 则该电路给 DSP 发出至少间隔为 250 ms 的复位信号, 实现 MAX1232 内部的定时器映射到数据存储空间的

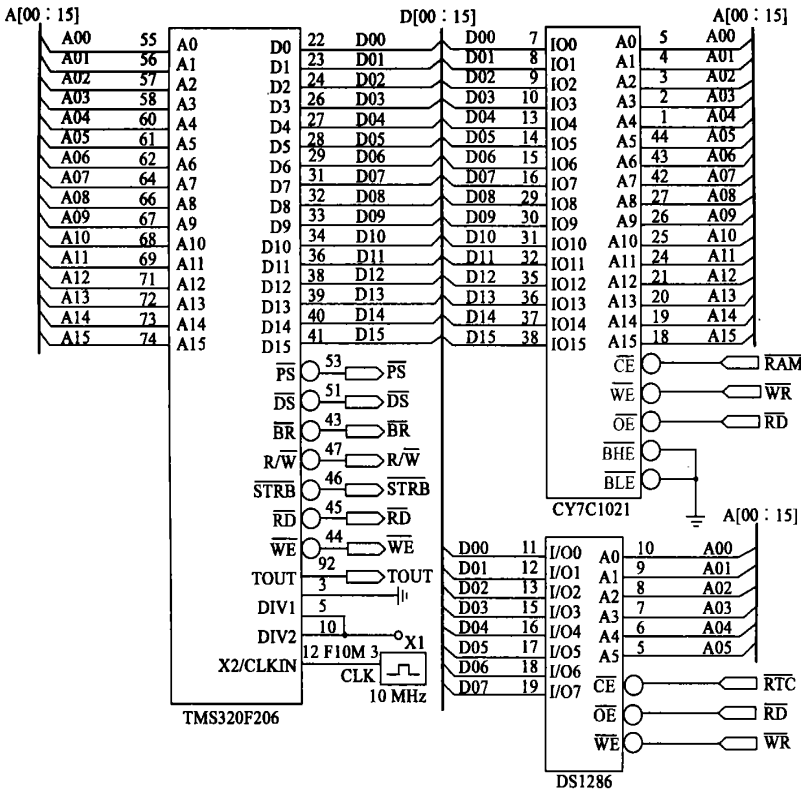


图 3 DSP 与外部扩展存储器的接口

F736H. 在 DSP 程序运行中, 定时对 F736H 作一次读操作(读该地址的时间间隔小于 150 ms), 把该定时器置 0, 则看门狗不溢出, 无法产生 DSP 复位信号. 当 DSP 程序跑飞时, 读该地址的时间间隔将无法保证小于 150 ms. 使计数器的值大于 150 ms, 则将产生复位脉冲使 DSP 复位. 同时, 该看门狗功能可由 DSP 的 IO3 位控制, 使其有效或无效. 当 IO3 为“1”时, 看门狗无效; 当 IO3 为“0”时, 看门狗有效. 该电路还提供手动复位功能, 按下 JP1 至少 20 ms, 将产生复位信号.

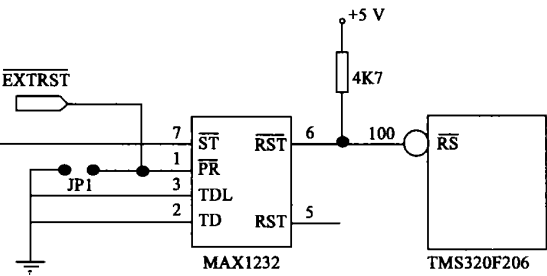


图 4 电源监视与看门狗电路

3 DSP 在数据采集与虚拟仪器通讯方法

DSP 的功能越来越强大, 其运算速度越来越快, 数据处理能力也越来越强. 但是, DSP 作为一种软件固化的硬件, 其本身缺乏友好的用户界面, 用户只能把其当成一个黑匣子来使用. 另一方面, DSP 提供的数据处理库函数仍然有限, 远不及 PC 机, 用户编写 DSP 的数据处理程序, 工作量很大. 本系统中结合两者优点, 即用 DSP 完成实时采集和处理工作, 用 PC 机完成监控、波形显示和部分数据处理工作. 虚拟仪器是计算机技术发展, 及其在仪器领域所形成的一种新兴的、富有生命力的仪器技术^[4]. 其核心技术就是计算机软件技术. 它突破了传统仪器技术仅仅依靠硬件结构的思想, 通过软件的算法代替原有的一些硬件. 另外, 它充分利用强大的图形化开发环境, 建立直观、灵活、快捷的虚拟仪器面板(软面板), 使仪器设计发生了突破性的变化.

本设计通过 RS232 协议, 实现 DSP 采集数据与上位机虚拟仪器的通讯, 波特率为 $115\ 200\ \text{B} \cdot \text{s}^{-1}$. 上位机的虚拟仪器, 采用美国 NI 公司推出的专用于测控领域的虚拟仪器编程语言 Labwindow/CVI 编写. 在 DSP 与虚拟仪器通讯中, 虚拟仪器收到 DSP 送过来的数据后, 把数据放到开辟的一段存储空间.

并用 Labwindow / CVI 做的示波器把经过滤波后的数据波形直观的显示出来. 同时, 可根据需要对这些信号做频谱分析、加窗分析和傅立叶变换(FFT). 此外, 还可以做得更友好更细致的分析. 比如, 对示波器上显示波形的某部分进行放大观察, 用鼠标点取波形直接在面板上显示数据的坐标, 还可以保存用户指定的数据、波形, 以及打印指定的数据、波形. 由于 PC 机有很大的存储空间, 所以可保存大量的 DSP 采集的数据, 完成很多传统仪器无法完成的工作. 由 Labwindow / CVI 编写的上位机界面, 如图 5 所示. 它主要用于电气系统的波形测试, 以及功率谱和频谱分析等.

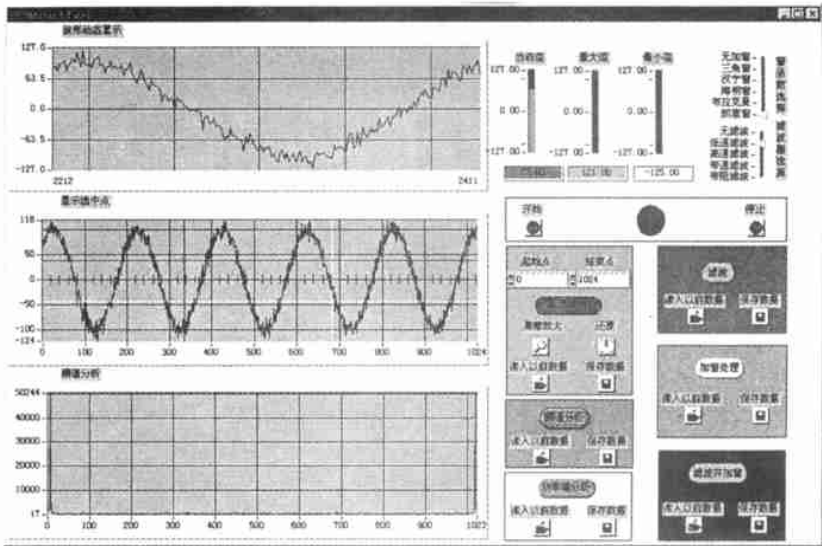


图 5 电气系统波形分析虚拟仪器界面

4 结束语

本文以一款 DSP 板卡的设计为例, 介绍了 DSP 研究和开发的主要技术、方法和经验. DSP 系统设计较为复杂, 但其功能和性价比都远远超过单片机, 是未来电子和信息产业的重要发展方向. 本文所述的 DSP 板卡在电气系统波形测试和光色差系统中, 都得到了良好的应用.

参 考 文 献

1 周凯汀, 郑力新. AT 89C51 单片机数控多阶直流稳压电源[J]. 华侨大学学报(自然科学版), 2001, 22(4) : 30~ 36
2 戴逸民, 梁晓雯, 小平等. 基于 DSP 的现代电子系统设计[M]. 北京: 电子工业出版社, 2003. 47~ 56
3 宋万杰, 罗 丰, 吴顺君. CPLD 技术及其应用[M]. 西安: 西安电子科技大学出版社, 2002. 33~ 36
4 张毅刚, 乔立岩. 虚拟仪器软件开发环境 LabWindow s/ CVI 6.0 编程指南[M]. 北京: 机械工业出版社, 2002. 53~ 59

Designing a Multipath Synchronous Data Acquisition Board
Based on Digital Signal Processing

Zheng Lixin Zhou Kaiting Fang Ruiming Huang Donghai
(College of Info. Sci. & Eng., Huaqiao Univ., 362011, Quanzhou, China)

Abstract Based on digital signal processing (DSP), the authors present a system for synchronous data acquisition and processing; and analyse and give design considerations and lock principle diagram. The analysis includes: the arrangement of memory space in DSP card, the logic control of CPLD in DSP data acquisition and processing system, the method of RS232 serial communication between DSP and personal computer, and also the combination of DSP and virtual instruments. The virtual instruments are adopted for carrying out DSP auxiliary information processing.

Keywords DSP, CPLD, synchronous data acquisition, RS232 communication, virtual instruments